



Attorney Docket No.: 8004-1015

PATENT

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: Yoshihiko HORI  
Appl. No.: 10/716,678  
Filed: November 20, 2003  
For: ENCODER, DECODER, AND DATA TRANSFER  
SYSTEM

L E T T E R

Assistant Commissioner for Patents  
P.O. Box 1450  
Alexandria, Virginia 22313-1450

Date: February 23, 2004

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2002-336685	November 20, 2002

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 25-0120 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

YOUNG & THOMPSON

By *Benoit Castel*

Benoit Castel, #35,041  
745 South 23<sup>rd</sup> Street, Suite 200  
Arlington, Virginia 22202  
(703) 521-2297

BC/psf

Attachment

US

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 2 年 1 1 月 2 0 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 2 - 3 3 6 6 8 5  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 2 - 3 3 6 6 8 5 ]

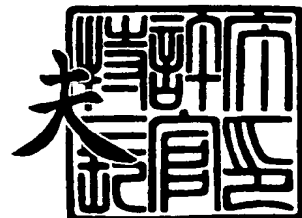
出      願      人                      N E C エレクトロニクス株式会社  
Applicant(s):



2 0 0 3 年    8 月 2 2 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 3 - 3 0 6 8 8 3 3

【書類名】 特許願

【整理番号】 73410009

【あて先】 特許庁長官殿

【国際特許分類】 H04L 25/40  
H03M 5/14

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 堀 良彦

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100095706

【弁理士】

【氏名又は名称】 泉 克文

【電話番号】 03-5273-7155

【手数料の表示】

【予納台帳番号】 002255

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9715691

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 エンコーダ、デコーダおよびデータ転送装置

【特許請求の範囲】

【請求項 1】  $n$  ビットデータ ( $n$  は任意の正整数) について、隣り合うビット間で値が変化する変化点の数を計数し、該計数結果が所定数を越えたときに真値となる識別ビットを出力する変化点数計数手段と、

前記識別ビットが真値であるときに、前記  $n$  ビットデータの所定位置のビットを反転させるコード変換手段と、

前記コード変換手段の出力に前記識別ビットを付加した ( $n+1$ ) ビットデータを ( $n+1$ ) ビットシリアルコードに変換して出力するパラレル・シリアル変換手段と

を有することを特徴とするエンコーダ。

【請求項 2】 前記パラレル・シリアル変換手段は、前記識別ビットを前記 ( $n+1$ ) ビットデータの先頭のビットまたは最後のビットとして付加する請求項 1 に記載のエンコーダ。

【請求項 3】  $n$  ビットデータ ( $n$  は任意の正整数) をシリアルデータに変換して出力するパラレル・シリアル変換手段と、

前記変換後の  $n$  ビットデータについて、隣り合うビット間で値が変化する変化点の数を計数し、該計数結果が所定数を越えたときに真値となる識別ビットを出力する変化点数計数手段と、

前記識別ビットが真値であるときに、前記変換後の  $n$  ビットデータの所定位置のビットを反転させ、該  $n$  ビットデータに前記識別ビットを付加した ( $n+1$ ) ビットシリアルコードを出力するコード変換手段と  
を有することを特徴とするエンコーダ。

【請求項 4】 前記コード変換手段は、前記識別ビットを前記 ( $n+1$ ) ビットシリアルコードの先頭のビットまたは最後のビットとして付加する請求項 3 に記載のエンコーダ。

【請求項 5】 前記コード変換手段は、前記識別ビットが真値であるときに、前記  $n$  ビットデータの奇数番目または偶数番目のビットを反転させる請求項 1

～4のいずれか1項に記載のエンコーダ。

【請求項6】 前記変化点数計数手段は、当該エンコーダが1つ前に扱った $(n+1)$ ビットシリアルコードにおける最後のビットを前記 $n$ ビットデータの先頭に付加した $(n+1)$ ビットデータについて、隣り合うビット間で値が変化する変化点の数を計数し、該計数結果が所定数を超えたときに真値となる識別ビットを出力する請求項1～5のいずれか1項に記載のエンコーダ。

【請求項7】 前記変化点数計数手段は、  
検出対象データのビット数が奇数であって、前記識別ビットが前記 $(n+1)$ ビットデータの最後のビットとして付加され、前記 $n$ ビットデータの最後のビットが前記コード変換手段における変換対象のビットでない場合に、前記計数結果が前記所定数に等しく且つ前記 $n$ ビットデータの最後のビットが真値であるときには、前記識別ビットを真値とする請求項2、4、5または6に記載のエンコーダ。

【請求項8】 前記変化点数計数手段における前記所定数は、(検出対象データのビット数 $-1$ ) $\div 2$ 以下の最大の整数値である請求項1～7のいずれか1項に記載のエンコーダ。

【請求項9】 請求項1～8のいずれか1項に記載のエンコーダが出力する $(n+1)$ ビットシリアルコードを $(n+1)$ ビットパラレルデータに変換するシリアル・パラレル変換手段と、

前記変換後の $(n+1)$ ビットデータに付加されている識別ビットが真値であるときに、該 $(n+1)$ ビットデータの内の前記識別ビットを除く $n$ ビットデータについて所定位置のビットを反転させるコード逆変換手段とを有することを特徴とするデコーダ。

【請求項10】 請求項1～8のいずれか1項に記載のエンコーダが出力する $(n+1)$ ビットシリアルコードを入力し、該 $(n+1)$ ビットシリアルコードに付加されている識別ビットが真値であるときに、該 $(n+1)$ ビットデータの内の前記識別ビットを除く $n$ ビットデータについて所定位置のビットを反転させるコード逆変換手段と、

前記コード逆変換手段が出力する $n$ ビットデータを $n$ ビットパラレルデータに

変換するシリアル・パラレル変換手段と  
を有することを特徴とするデコーダ。

【請求項 11】 データ送信側に請求項 1～8 のいずれか 1 項に記載のエンコーダを、データ受信側に請求項 9 または 10 に記載のデコーダを、それぞれ有し、

前記  $n$  ビットデータに前記識別ビットを付加した  $(n+1)$  ビットシリアルコードをシリアル転送することを特徴とするデータ転送装置。

【請求項 12】 データ送信側に、 $n$  ビットデータ ( $n$  は任意の正整数) について、隣り合うビット間で値が変化する変化点の数を計数し、該計数結果が所定数を超えたときに真値となる識別ビットを出力する変化点数計数手段と、

前記識別ビットが真値であるときに、前記  $n$  ビットデータの所定位置のビットを反転させ、該  $n$  ビットデータに前記識別ビットを付加した  $(n+1)$  ビットシリアルコードを出力するコード変換手段とを有し、

データ受信側に、前記  $(n+1)$  ビットシリアルコードを入力し、該  $(n+1)$  ビットデータに付加されている識別ビットが真値であるときに、該  $(n+1)$  ビットデータの内の前記識別ビットを除く  $n$  ビットデータについて所定位置のビットを反転させた  $n$  ビットデータを出力するコード逆変換手段を有し、

前記  $n$  ビットデータに前記識別ビットを付加した  $(n+1)$  ビットシリアルコードをシリアル転送することを特徴とするデータ転送装置。

【請求項 13】 前記コード変換手段は、前記識別ビットを前記  $(n+1)$  ビットシリアルコードの先頭のビットまたは最後のビットとして付加する請求項 12 記載のデータ転送装置。

【請求項 14】 前記コード変換手段は、前記識別ビットが真値であるときに、前記  $n$  ビットデータの奇数番目または偶数番目のビットを反転させる請求項 12 または 13 に記載のデータ転送装置。

【請求項 15】 前記変化点数計数手段は、前記データ送信側が 1 つ前に扱った  $(n+1)$  ビットシリアルコードにおける最後のビットを前記  $n$  ビットデータの先頭に付加した  $(n+1)$  ビットデータについて、隣り合うビット間で値が変化する変化点の数を計数し、該計数結果が所定数を超えたときに真値となる識

別ビットを出力する請求項 12～14 のいずれか 1 項に記載のデータ転送装置。

【請求項 16】 前記変化点数計数手段は、

検出対象データのビット数が奇数であって、前記識別ビットが前記  $(n+1)$  ビットデータの最後のビットとして付加され、前記  $n$  ビットデータの最後のビットが前記コード変換手段における変換対象のビットでない場合に、前記計数結果が前記所定数に等しく且つ前記  $n$  ビットデータの最後のビットが真値であるときには、前記識別ビットを真値とする請求項 13～15 のいずれか 1 項に記載のデータ転送装置。

【請求項 17】 前記変化点数計数手段における前記所定数は、 $(\text{検出対象データのビット数} - 1) / 2$  以下の最大の整数値である請求項 12～16 のいずれか 1 項に記載のデータ転送装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、パラレルデータをシリアルデータに変換するエンコーダ、シリアルデータをパラレルデータに変換するデコーダ、並びに、シリアルデータを転送するデータ転送装置に係り、特に、シリアルデータの変化点数をより少なくして転送データの高周波成分を抑制し、低 EMI 化を図ったエンコーダ、デコーダおよびデータ転送装置に関する。

【0002】

【従来の技術】

【特許文献 1】

特開 2001-365900 号公報

シリアルデータのデータ転送を行うデータ転送装置においては、電磁波の輻射による電磁障害、即ち EMI (Electro-Magnetic Interference) をいかに抑制するかが重要課題となっている。ここで、EMI の主原因である輻射エネルギーは、転送データに含まれる高周波成分に起因する。高速データ通信の要請により、近年、データ転送の転送レートが高くなってきているが、転送レートが高くなるとシリアルデータの個々のビットに与えられる時間幅、即ち信号のパルス幅が

短くなり、隣り合うビット間で値が変化する変化点において信号が鋭利化し、転送データに含まれる高周波成分が増加するので、E M I 問題はより顕著となる。

#### 【 0 0 0 3 】

このような E M I の原因となる転送データの high 周波成分を抑制するために、シリアルデータの変化点数を少なくしてデータ転送を行う手法がいくつか提案されている。

#### 【 0 0 0 4 】

図 1 9 には、第 1 従来例として、ルックアップテーブルを用いて変化点数の少ないシリアルデータの転送を行うデータ転送装置の構成図を示す。

#### 【 0 0 0 5 】

図 1 9 に示すように、第 1 従来例のデータ転送装置は、データ送信回路 2 1 0、データ受信回路 2 2 0 および伝送路 2 3 0 を備えた構成であり、転送すべき 8 ビットデータに識別ビットを付加した 9 ビットデータを転送単位としてデータ転送を行うものである。

#### 【 0 0 0 6 】

データ送信回路 2 1 0 は、ルックアップテーブル 2 1 3 およびパラレル・シリアル変換回路 2 1 4 を持つエンコーダ 2 1 1 と、出力回路 2 1 2 とを備えた構成である。エンコーダ 2 1 1 では、予めルックアップテーブル 2 1 3 内に、転送すべき 8 ビットデータについて変化点数が少なくなるように変換したデータに、変換した旨を示す識別ビットを付加した 9 ビットデータが記憶されている。転送すべき 8 ビットデータをアドレスとしてルックアップテーブル 2 1 3 をアクセスすることにより、変化点数の少ない 9 ビットデータを得て、これをパラレル・シリアル変換回路 2 1 4 によりシリアルコードに変換して出力する。

#### 【 0 0 0 7 】

出力回路 2 1 2 は、基本的に出力バッファとデータ送信の制御を行う制御回路とを備えた構成であり、シリアルコードを伝送路 2 3 0 上に出力する。なお、E M I 対策として、差動ペア信号線化処理およびフィルタ処理が施される場合もある。

#### 【 0 0 0 8 】



一方、データ受信回路 220 は、入力回路 221 と、シリアル・パラレル変換回路 223 およびルックアップテーブル 224 を持つデコーダ 222 と、出力回路 212 とを備えた構成である。入力回路 221 は、基本的に入力バッファとデータ受信の制御を行う制御回路とを備えた構成であり、伝送路 230 上のシリアルコードを入力する。なお、EMI 対策として、逆フィルタ処理および単信号線化処理が施される場合もある。

#### 【0009】

デコーダ 222 では、予めルックアップテーブル 224 内に、データ送信回路 210 のエンコーダ 211 で生成された 9 ビットデータについて、識別ビットに基づき元の転送すべき 8 ビットデータに戻すための 8 ビットデータが記憶されている。入力したシリアルコードをシリアル・パラレル変換回路 223 により 9 ビットパラレルデータに変換した後、該 9 ビットデータをアドレスとしてルックアップテーブル 224 をアクセスすることにより、元の 8 ビットデータを得る。

#### 【0010】

また、第 2 従来例として、特開 2001-36590 号公報（特許文献 1）に開示の「シリアル伝送装置」がある。この第 2 従来例は、本発明と同様に、転送レートが高くなっても EMI の原因となる高周波成分を抑えることを目的としており、変換手段により、送信信号を元の送信信号の変化点数よりも変化点数が少なくなるように変換し（具体的には、送信信号のビットの並び替えを行う）、付加手段により、送信信号に対して変換手段によってどのように変換したかを示す変換情報を付加し、送信手段により、変換情報が付加された送信信号を送信するものである。

#### 【0011】

##### 【発明が解決しようとする課題】

しかしながら、上記第 1 従来例のデータ転送装置にあつては、データ送信回路 210 およびデータ受信装置 220 に、それぞれルックアップテーブル 213 および 224 を備えた構成であるので、エンコーダ 211 およびデコーダ 222 におけるデータ変換の自由度が高いというメリットがある反面、ルックアップテーブル 213 および 224 が必要とする記憶容量が大きく、回路規模が大きくなっ

て装置コストが増大するというデメリットがある。

#### 【0012】

図19の例では、データ送信回路210側のルックアップテーブル213として9ビット×256ワード（8ビット）の記憶容量、データ受信装置220側のルックアップテーブル224として8ビット×512ワード（9ビット）の記憶容量が必要となる。データの境界に発生する変化点も考慮する場合は、データ送信回路210側のルックアップテーブル213として、9ビット×512ワード（9ビット）の記憶容量が必要である。

#### 【0013】

また、上記第2従来例のシリアル伝送装置においては、変換手段による送信信号の変換は、送信信号のビットの並び替えであり、処理が複雑なのでエンコーダおよびデコーダに対して共に負担が大きいという事情がある。また、変換手段により変換された送信信号に対し、送信信号をどのように変換したかを示す変換情報を付加するので、この付加情報が複雑になると転送単位ビット長が増加することとなり、かえって転送周波数を上げることが必要となって低EMI化の妨げになるおそれがある。さらに、付加された変換情報によっては、付加情報自体の変化点数や送信信号と付加情報との境界において発生する変化点によって、変換前の送信信号が持つ変化点数以上の変化点数が発生する場合も考えられ、EMIの原因となる高周波成分を抑えることにならなくなるという事情もあった。

#### 【0014】

本発明は、上記従来の事情に鑑みてなされたものであって、シリアルデータの変化点数をより少なくして転送データの高周波成分を抑制し、低EMI化を図ったエンコーダ、デコーダおよびデータ転送装置を提供することを目的とする。

#### 【0015】

本発明の他の目的は、より簡単な処理でシリアルデータの変化点数を少なくすることにより、回路物量を抑え、低コストで低EMI化を実現し得るエンコーダ、デコーダおよびデータ転送装置を提供することである。

#### 【0016】

本発明のさらに他の目的は、転送データに付加される付加情報を含めたデータ

について変化点数を削減して、低EMI化を確実に実現し得るエンコーダ、デコーダおよびデータ転送装置を提供することである。

#### 【0017】

本発明のさらに他の目的は、転送データの境界に発生し得る変化点をも変化点数削減の対象として、低EMI化を確実に実現し得るエンコーダ、デコーダおよびデータ転送装置を提供することである。

#### 【0018】

ここに明記しない本発明の他の目的は、以下の説明および添付図面から明らかになる。

#### 【0019】

##### 【課題を解決するための手段】

(1) 上記課題を解決するために、本発明の第1のエンコーダは、変化点数計数手段において、 $n$ ビットデータ ( $n$ は任意の正整数) について、隣り合うビット間で値が変化する変化点の数を計数し、該計数結果が所定数を超えたときに真値となる識別ビットを出力し、該識別ビットが真値であるときには、コード変換手段により  $n$  ビットデータの所定位置のビットを反転させた後、パラレル・シリアル変換手段により、コード変換手段出力の  $n$  ビットデータに識別ビットを付加した  $(n+1)$  ビットデータを  $(n+1)$  ビットシリアルコードに変換して出力する。

#### 【0020】

ここで、まず変化点数の性質について整理すると、次のようになる。

#### 【0021】

[性質1]  $n$  ビットデータにおける変化点数の最大値  $N_{\max}$  は  $N_{\max} = n - 1$  である。

#### 【0022】

[性質2]  $n$  ビットデータ  $p$  における変化点数を  $N_p$ 、 $n$  ビットデータ  $p$  を構成するビットを1ビットおきに反転した  $n$  ビットデータを  $q$  とするとき、 $n$  ビットデータ  $q$  における変化点数  $N_q$  は  $N_q = (n - 1) - N_p$  である。

#### 【0023】

例えば、8ビットデータを例に示すと、変化点数の最大値 $N_{\max}$ は7であり、最大の変化点数を持つデータは「10101010」, 「01010101」である。また、 $n$ ビットデータ  $p = 01001001$  は、変化点数  $N_p = 5$  を持つが、 $n$ ビットデータ  $p$  のビットを1ビットおきに反転した  $n$ ビットデータ  $q$  は  $q = 00011100$  であり、変化点数  $N_q$  は  $N_q = (n-1) - N_p = 7 - 5 = 2$  である。

#### 【0024】

上記〔性質2〕から、 $(n-1)$  個の変化点を持つ  $n$ ビットデータのビットを1ビットおきに反転した  $n$ ビットデータの変化点数は  $(n-1) - (n-1) = 0$ 、 $(n-2)$  個の変化点を持つ  $n$ ビットデータのビットを1ビットおきに反転した  $n$ ビットデータの変化点数は  $(n-1) - (n-2) = 1$ 、 $(n-3)$  個の変化点を持つ  $n$ ビットデータのビットを1ビットおきに反転した  $n$ ビットデータの変化点数は  $(n-1) - (n-3) = 2$ 、……、2 個の変化点を持つ  $n$ ビットデータのビットを1ビットおきに反転した  $n$ ビットデータの変化点数は  $(n-1) - 2 = n-3$ 、1 個の変化点を持つ  $n$ ビットデータのビットを1ビットおきに反転した  $n$ ビットデータの変化点数は  $(n-1) - 1 = n-2$ 、0 個の変化点を持つ  $n$ ビットデータのビットを1ビットおきに反転した  $n$ ビットデータの変化点数は  $(n-1) - 0 = n-1$ 、となる。

#### 【0025】

この関係から、変化点数計数手段における所定数  $M$  を  $M = (n-1) / 2$  以下の最大の整数値とし、 $n$ ビットデータについて検出した変化点数が該値  $M$  を超える（識別ビットが真値である）ときに、コード変換手段により  $n$ ビットデータのビットを1ビットおきに反転させるようにすれば、変換後の  $n$ ビットデータの変化点数を高々  $M$  に削減することができる。

#### 【0026】

したがって、コード変換手段においてビット反転させる所定位置を、 $n$ ビットデータの奇数番目または偶数番目のビットとするのが望ましく、また、変化点数計数手段における所定数  $M$  は、（検出対象データのビット数-1）/2 以下の最大の整数値とするのが望ましい。

## 【0027】

但し、パラレル・シリアル変換手段においては、コード変換手段出力の  $n$  ビットデータに対してコード変換手段による変換の有無を示す識別ビットを付加した  $(n+1)$  ビットデータを、 $(n+1)$  ビットシリアルコードに変換して出力しているので、当該エンコーダから出力される  $(n+1)$  ビットシリアルコードの変化点数は高々  $(M+1)$  または  $(M+2)$  である。つまり、付加される識別ビットの前後のビット境界に新たに変化点が存在し得る箇所が増えることとなり、識別ビットを  $(n+1)$  ビットデータの L S B (Least Significant Bit) または M S B (Most Significant Bit) 以外に配置する場合には変化点数は高々  $(M+2)$  に、識別ビットを  $(n+1)$  ビットデータの L S B または M S B に配置する場合には変化点数は高々  $(M+1)$  になるのである。

## 【0028】

したがって、 $(n+1)$  ビットシリアルコードの変化点数をより削減するために、識別ビットを  $(n+1)$  ビットデータの先頭のビットまたは最後のビットとして付加するのが望ましい。これにより、 $(n+1)$  ビットシリアルコードの変化点数を高々  $(M+1)$  に抑えることができる。なお、 $(n+1)$  ビットデータの先頭のビットは、L S B でもよいし、M S B でもよい。 $(n+1)$  ビットデータの最後のビットも、L S B でもよいし、M S B でもよい。

## 【0029】

また、本発明の第1のエンコーダで生成される  $(n+1)$  ビットシリアルコードを連続的にシリアル転送する場合には、転送データの境界にも変化点が存在し得るので、実質的に1転送単位 ( $(n+1)$  ビットシリアルコード) 当たりの変化点数が1増えて高々  $(M+2)$  になってしまう。

## 【0030】

そこで、変化点数計数手段における検出対象データを1ビット拡張して、当該エンコーダが1つ前に扱った  $(n+1)$  ビットシリアルコードにおける最後のビットを  $n$  ビットデータの先頭に付加した  $(n+1)$  ビットデータについて、隣り合うビット間で値が変化する変化点の数を計数し、該計数結果が所定数を超えたときに真値となる識別ビットを出力する。この場合、変化点数計数手段における

所定数 $M'$  は $M' = (n/2)$  以下の最大の整数値とするのが望ましい。こうすることにより、シリアル転送時の実質的な1転送単位 ( $(n+1)$  ビットシリアルコード) 当たりの変化点数を高々 ( $M' + 1$ ) に抑えることができる。

#### 【0031】

上述のように、識別ビットが ( $n+1$ ) ビットデータの先頭のビットまたは最後のビットに配置される場合には、両者のビット境界に変化点が発生して、( $n+1$ ) ビットシリアルコードにおける変化点数は高々 ( $M+1$ ) (または ( $M'+1$ )) になる。

#### 【0032】

以下では、 $n$  ビットデータと識別ビットの境界で変化点の発生を抑制して、変化点数を高々  $M$  ( $M'$ ) に抑える手法について検討する。

#### 【0033】

まず、( $n+1$ ) ビットシリアルコードの変化点数が ( $M+1$ ) (または ( $M'+1$ )) になり得るのは、変化点数計数手段における計数結果が所定数  $M$  ( $M'$ ) に等しいときのみである。この時、計数結果が所定数  $M$  ( $M'$ ) を超えていないので本来の識別ビットは偽値である。ここで、識別ビットが ( $n+1$ ) ビットデータの先頭のビットまたは最後のビットに配置される場合に、 $n$  ビットデータの先頭のビットまたは最後のビットと識別ビットの境界に変化点が発生する条件は、識別ビットが偽値であるので先頭のビットまたは最後のビットが真値のときのみである。

#### 【0034】

一方、検出対象データのビット数  $n$  ( $(n+1)$ ) が奇数である場合には、変化点の計数結果が所定数  $M$  ( $M'$ ) に等しいとき、コード変換手段による変換を行っても行わなくても変化点数は変化しない。

#### 【0035】

したがって、 $n$  ビットデータの先頭のビットまたは最後のビットがコード変換手段における変換対象のビットでない場合に、変化点数計数手段の計数結果が所定数  $M$  ( $M'$ ) に等しく且つ  $n$  ビットデータの先頭のビットまたは最後のビットが真値のときに識別ビットを真値とすれば、コード変換手段による変換が行われ

ても  $n$  ビットデータの先頭のビットまたは最後のビットの値は変わらず真値のままであるので、 $n$  ビットデータの先頭のビットまたは最後のビットと識別ビットの境界に変化点が発生しなくなり、結果として  $(n+1)$  ビットシリアルコードの変化点数を高々  $M (M')$  に抑えることができる。

#### 【0036】

つまり、変化点数計数手段において、検出対象データのビット数が奇数であって、識別ビットが  $(n+1)$  ビットデータの先頭のビットとして付加され、 $n$  ビットデータの先頭のビットがコード変換手段における変換対象のビットでない場合に、計数結果が所定数に等しく且つ  $n$  ビットデータの先頭のビットが真値であるときには、識別ビットを真値とするのが望ましく、また、検出対象データのビット数が奇数であって、識別ビットが  $(n+1)$  ビットデータの最後のビットとして付加され、 $n$  ビットデータの最後のビットがコード変換手段における変換対象のビットでない場合に、計数結果が所定数に等しく且つ  $n$  ビットデータの最後のビットが真値であるときには、識別ビットを真値とするのが望ましい。これにより、 $(n+1)$  ビットシリアルコードの変化点数を高々  $M (M')$  に抑えることができる。

#### 【0037】

以上のように、本発明の第1のエンコーダでは、パラレル・シリアル変換手段に、変化点数計数手段およびコード変換手段を加えた構成とし、変化点数計数手段において、 $n$  ビットデータについて検出した変化点数が所定数  $M (= (n-1)/2$  以下の最大の整数値) を超えるときに、コード変換手段により  $n$  ビットデータのビットを1ビットおきに反転させるので、変換後の  $n$  ビットデータの変化点数を高々  $M$  に削減でき、当該エンコーダから出力される  $(n+1)$  ビットシリアルコードの変化点数をより少なくして、該  $(n+1)$  ビットシリアルコードをシリアル転送する際の高周波成分を抑制し、低EMI化を実現することができる。

#### 【0038】

また、変化点数計数手段において、1つ前に扱った  $(n+1)$  ビットシリアルコードにおける最後のビットを  $n$  ビットデータの先頭に付加した  $(n+1)$  ビッ

トデータを検出対象データとし、変化点数が所定数 $M'$  ( $=n/2$ 以下の最大の整数値)を超えるとときに、コード変換手段により $n$ ビットデータのビットを1ビットおきに反転させるので、 $(n+1)$ ビットシリアルコードをシリアル転送する際に、1転送単位 ( $(n+1)$ ビットシリアルコード) 当たりの変化点数を高々 ( $M' + 1$ ) に削減でき、よって転送データの境界に発生し得る変化点をも変化点数削減の対象として、転送データの全体にわたって低EMI化を確実に実現することができる。

#### 【0039】

変化点数計数手段において、検出対象データのビット数が奇数であって、 $n$ ビットデータの最後のビットがコード変換手段における変換対象のビットでない場合に、変化点数計数手段の計数結果が所定数 $M$  ( $M'$ ) に等しく且つ $n$ ビットデータの最後のビットが真値のときに識別ビットを真値とすることにより、 $n$ ビットデータの最後のビットと識別ビットの境界における変化点の発生を抑え、 $(n+1)$ ビットシリアルコードの変化点数を高々 $M$  ( $M'$ ) に削減できるので、転送データに付加される付加情報 (識別ビット) を含めたデータについて変化点数を削減して、低EMI化を確実に実現することができる。

#### 【0040】

なお、付加情報が1ビットの識別ビットであるので、第2従来例のように付加情報自体に変化点が発生する可能性もなく、付加情報の複雑さゆえに転送単位ビット長が増加して、転送周波数の上昇によって低EMI化が妨げられるおそれもない。

#### 【0041】

さらに具体的に、変化点数計数手段を、例えば、変化点を検出する  $(n-1)$  個の2入力排他的論理和ゲートと、変化点数を計数する加算回路とを備えた構成で、コード変換手段を、例えば、約  $(n/2)$  個のビット反転用の否定論理ゲートと、約  $(n/2)$  個の変換または非変換を切り換えるスイッチとを備えた構成でそれぞれ実現可能である。つまり、ルックアップテーブルを用いた第1従来例に比べてはるかに少ない回路物量で、低EMI化  $(n+1)$  ビットシリアルコードを出力するエンコーダを構成することができ、回路コスト、ひいては適用され



る製品コストを低減することができる。

#### 【0042】

(2) 本発明の第2のエンコーダは、パラレル・シリアル変換手段において、 $n$ ビットデータ ( $n$ は任意の正整数) をシリアルデータに変換して出力し、該変換後の  $n$  ビットデータについて、変化点数計数手段により、隣り合うビット間で値が変化する変化点の数を計数し、該計数結果が所定数を越えたときに真値となる識別ビットを出力し、該識別ビットが真値であるときには、コード変換手段により、変換後の  $n$  ビットデータの所定位置のビットを反転させ、該  $n$  ビットデータに識別ビットを付加した  $(n+1)$  ビットシリアルコードを出力する。

#### 【0043】

本発明の第1のエンコーダにおいては、 $n$  ビットパラレルデータについて、変化点数計数手段により変化点数を計数して識別ビットを生成し、コード変換手段によるコード変換または非変換を行った後に、パラレル・シリアル変換手段による変換を行って  $(n+1)$  ビットシリアルコードを出力したのに対し、本発明の第2のエンコーダでは、パラレル・シリアル変換手段により変換された  $n$  ビットシリアルデータについて、変化点数計数手段により変化点数を計数して識別ビットを生成し、コード変換手段によるコード変換または非変換を行った後に、識別ビットを付加した  $(n+1)$  ビットシリアルコードを出力する。

#### 【0044】

本発明の第2のエンコーダにおいても、本発明の第1のエンコーダと同様に、変化点数計数手段において、 $n$  ビットデータについて検出した変化点数が所定数  $M$  ( $= (n-1) / 2$  以下の最大の整数値) を超えるときに、コード変換手段により  $n$  ビットデータのビットを1ビットおきに反転させることにより、変換後の  $n$  ビットデータの変化点数を高々  $M$  に削減できる。その結果として、当該エンコーダから出力される  $(n+1)$  ビットシリアルコードの変化点数をより少なくして、該  $(n+1)$  ビットシリアルコードをシリアル転送する際の高周波成分を抑制し、低EMI化を実現することができる。

#### 【0045】

また、変化点数計数手段において、1つ前に扱った  $(n+1)$  ビットシリアル

コードにおける最後のビットを  $n$  ビットデータの先頭に付加した  $(n+1)$  ビットデータを検出対象データとし、変化点数が所定数  $M'$  ( $= n/2$  以下の最大の整数値) を超えるときに、コード変換手段により  $n$  ビットデータのビットを 1 ビットおきに反転させることにより、 $(n+1)$  ビットシリアルコードをシリアル転送する際に、1 転送単位 ( $(n+1)$  ビットシリアルコード) 当たりの変化点数を高々  $(M' + 1)$  に削減できる。その結果として、転送データの境界に発生し得る変化点をも変化点数削減の対象として、転送データの全体にわたって低 EMI 化を確実に実現することができる。

#### 【0046】

変化点数計数手段において、検出対象データのビット数が奇数であって、 $n$  ビットデータの最後のビットがコード変換手段における変換対象のビットでない場合に、変化点数計数手段の計数結果が所定数  $M$  ( $M'$ ) に等しく且つ  $n$  ビットデータの最後のビットが真値のときに識別ビットを真値とすることにより、 $n$  ビットデータの最後のビットと識別ビットの境界における変化点の発生を抑え、 $(n+1)$  ビットシリアルコードの変化点数を高々  $M$  ( $M'$ ) に削減でき、転送データに付加される付加情報 (識別ビット) を含めたデータについて変化点数を削減して、低 EMI 化を確実に実現することができる。

#### 【0047】

具体的構成については、本発明の第 2 のエンコーダでは、本発明の第 1 のエンコーダとは異なり、 $n$  ビットシリアルデータについて処理を行うので、変化点数計数手段およびコード変換手段による処理を時間的に分けた 2 つの段階で行う必要があり、また、段階内でもビット単位のタイミング制御が必要となる。

#### 【0048】

例えば、タイミング制御用の回路を除けば、変化点数計数手段については、隣り合うビットを保持するフリップフロップと、変化点検出用の 2 入力排他的論理和ゲートと、変化点数を計数するカウンタとを備えた構成で実現でき、コード変換手段については、 $n$  ビットシリアルデータを順次出力するシフトレジスタと、識別ビットを保持するフリップフロップと、ビット反転用の否定論理ゲートと、変換または非変換を切り換えるスイッチと、 $n$  ビットデータに識別ビットを付加

して出力するゲート群とを備えた構成で実現可能である。

#### 【0049】

本発明の第2のエンコーダでは、本発明の第1のエンコーダと比べて多少回路物量が増大するが、ルックアップテーブルを用いた第1従来例に比べるとはるかに少ない回路物量で低EMI化( $n+1$ )ビットシリアルコードを出力するエンコーダを構成することができ、回路コスト、ひいては適用される製品コストを低減することができる。

#### 【0050】

(3) 本発明の第1のデコーダは、本発明の第1または第2のエンコーダが出力する( $n+1$ )ビットシリアルコードを、シリアル・パラレル変換手段により( $n+1$ )ビットパラレルデータに変換し、該変換後の( $n+1$ )ビットデータに付加されている識別ビットが真値であるときに、コード逆変換手段により、該( $n+1$ )ビットデータの内の識別ビットを除く $n$ ビットデータについて所定位置のビットを反転する。

#### 【0051】

なお、コード逆変換手段が反転するビット位置は、本発明の第1または第2のエンコーダにおいてコード変換手段が反転するビット位置と同一であることが必要である。これにより、当該エンコーダから出力された低EMI化( $n+1$ )ビットシリアルコードを元の $n$ ビットパラレルデータに復号することができる。

#### 【0052】

具体的構成については、コード逆変換手段を、例えば、約( $n/2$ )個のビット反転用の否定論理ゲートと、約( $n/2$ )個の変換または非変換を切り換えるスイッチとを備えた構成で実現可能であり、ルックアップテーブルを用いた第1従来例に比べてはるかに少ない回路物量で、低EMI化( $n+1$ )ビットシリアルコードを復号するデコーダを構成することができ、回路コスト、ひいては適用される製品コストを低減することができる。

#### 【0053】

(4) 本発明の第2のデコーダは、本発明の第1または第2のエンコーダが出力する( $n+1$ )ビットシリアルコードを入力し、該( $n+1$ )ビットシリア

ルコードに付加されている識別ビットが真値であるときに、コード逆変換手段により、該  $(n+1)$  ビットデータの内の識別ビットを除く  $n$  ビットデータについて所定位置のビットを反転し、コード逆変換手段が出力する  $n$  ビットデータをシリアル・パラレル変換手段により  $n$  ビットパラレルデータに変換する。

#### 【0054】

なお、コード逆変換手段が反転するビット位置は、本発明の第1または第2のエンコーダにおいてコード変換手段が反転するビット位置と同一であることが必要である。これにより、本発明の第1または第2のエンコーダから出力された低EMI化  $(n+1)$  ビットシリアルコードを元の  $n$  ビットパラレルデータに復号することができる。

#### 【0055】

具体的構成については、本発明の第2のデコーダでは、本発明の第1のデコーダとは異なり  $(n+1)$  ビットシリアルコードについて処理を行うので、タイミング制御用の回路を除けば、コード逆変換手段を、例えば、 $(n+1)$  ビットシリアルコードから  $n$  ビットデータと識別ビットとを分離するゲート群と、 $n$  ビットシリアルデータを順次出力するシフトレジスタと、識別ビットを保持するフリップフロップと、ビット反転用の否定論理ゲートと、変換または非変換を切り換えるスイッチと、を備えた構成で実現可能である。

#### 【0056】

本発明の第2のデコーダでは、本発明の第1のデコーダと比べて多少回路物量が増大するが、ルックアップテーブルを用いた第1従来例に比べるとはるかに少ない回路物量で低EMI化  $(n+1)$  ビットシリアルコードを復号するデコーダを構成することができ、回路コスト、ひいては適用される製品コストを低減することができる。

#### 【0057】

(5) 本発明の第1のデータ転送装置は、データ送信側に本発明の第1または第2のエンコーダを備え、データ受信側に本発明の第1または第2のデコーダを備えて構成し、 $n$  ビットデータに識別ビットを付加した  $(n+1)$  ビットシリアルコードをシリアル転送する。

**【0058】**

なお、データ送信側に本発明の第1のエンコーダを備えた構成するとき、データ受信側には本発明の第1または第2の何れのデコーダを備えた構成としてもよい。また、データ送信側に本発明の第2のエンコーダを備えた構成の場合も同様で、組み合わせは自由である。

**【0059】**

本発明の第1のデータ転送装置では、データ送信側から変化点数を低減した( $n+1$ )ビットシリアルコードを出力し、データ受信側で該( $n+1$ )ビットシリアルコードを入力して復号することができるので、シリアルデータを転送する際の高周波成分を抑制し、低EMI化を実現することができる。また、データ送信側のエンコーダおよびデータ受信側のデコーダを少ない回路物量で構成することができるので、装置コストを低減することができる。

**【0060】**

(6) 本発明の第2のデータ転送装置は、データ送信側に変化点数計数手段およびコード変換手段を備えた構成とし、変化点数計数手段では、 $n$ ビットシリアルデータ( $n$ は任意の正整数)について、隣り合うビット間で値が変化する変化点の数を計数し、該計数結果が所定数を超えたときに真値となる識別ビットを出力し、識別ビットが真値であるときには、コード変換手段により $n$ ビットデータの所定位置のビットを反転して、該 $n$ ビットデータに識別ビットを付加した( $n+1$ )ビットシリアルコードを出力する。

**【0061】**

一方、データ受信側は、コード逆変換手段を備えた構成とし、データ送信側からの( $n+1$ )ビットシリアルコードを入力し、該( $n+1$ )ビットデータに付加されている識別ビットが真値であるときに、該( $n+1$ )ビットデータの内の識別ビットを除く $n$ ビットデータについて所定位置のビットを反転させ、元の $n$ ビットシリアルデータに復号する。このようにして、 $n$ ビットデータに識別ビットを付加した( $n+1$ )ビットシリアルコードをデータ送信側からデータ受信側へシリアル転送する。

**【0062】**

本発明の第2のデータ転送装置は、データ送信側に本発明の第2のエンコーダにおける変化点数計数手段およびコード変換手段を備え、データ受信側に本発明の第2のデコーダにおけるコード逆変換手段を備えた構成である。

#### 【0063】

本発明の第2のデータ転送装置では、本発明の第2のエンコーダと同様に、変化点数計数手段において、 $n$ ビットデータについて検出した変化点数が所定数 $M$  ( $= (n-1)/2$ 以下の最大の整数値)を超えるとときに、コード変換手段により $n$ ビットデータのビットを1ビットおきに反転させることにより、変換後の $n$ ビットデータの変化点数を高々 $M$ に削減できる。その結果として、データ送信側から出力される $(n+1)$ ビットシリアルコードの変化点数をより少なくして、該 $(n+1)$ ビットシリアルコードをシリアル転送する際の高周波成分を抑制し、低EMI化を実現することができる。

#### 【0064】

また、変化点数計数手段において、データ送信側で1つ前に扱った $(n+1)$ ビットシリアルコードにおける最後のビットを $n$ ビットデータの先頭に付加した $(n+1)$ ビットデータを検出対象データとし、変化点数が所定数 $M'$  ( $= (n/2)$ 以下の最大の整数値)を超えるとときに、コード変換手段により $n$ ビットデータのビットを1ビットおきに反転させることにより、 $(n+1)$ ビットシリアルコードをシリアル転送する際に、1転送単位 ( $(n+1)$ ビットシリアルコード)当たりの変化点数を高々 $(M'+1)$ に削減できる。その結果として、転送データの境界に発生し得る変化点をも変化点数削減の対象として、転送データの全体にわたって低EMI化を確実に実現することができる。

#### 【0065】

変化点数計数手段において、検出対象データのビット数が奇数であって、 $n$ ビットデータの最後のビットがコード変換手段における変換対象のビットでない場合に、変化点数計数手段の計数結果が所定数 $M$  ( $M'$ )に等しく且つ $n$ ビットデータの最後のビットが真値のときに識別ビットを真値とすることにより、 $n$ ビットデータの最後のビットと識別ビットの境界における変化点の発生を抑え、 $(n+1)$ ビットシリアルコードの変化点数を高々 $M$  ( $M'$ )に削減できる。よって

、転送データに付加される付加情報（識別ビット）を含めたデータについて変化点数を削減して、低EMI化を確実に実現することができる。

#### 【0066】

このように、本発明の第2のデータ転送装置では、データ送信側から変化点数を低減した $(n+1)$ ビットシリアルコードを出力し、データ受信側で該 $(n+1)$ ビットシリアルコードを入力して復号することができるので、シリアルデータを転送する際の高周波成分を抑制し、低EMI化を実現することができる。

#### 【0067】

具体的構成については、本発明の第2のエンコーダおよび本発明の第2のデコーダと同様の構成で実現可能であり、データ送信側のコード生成部分とデータ受信側のコード復号部分をより少ない回路物量で構成することができるので、装置コストを低減することができる。

#### 【0068】

##### 【発明の実施の形態】

以下、本発明のエンコーダ、デコーダおよびデータ転送装置の好適な実施の形態について、〔第1実施形態〕から〔第9実施形態〕までを順に図面を参照して詳細に説明する。なお、以下では、特に明記しない限り、論理値として真値を“1”、偽値を“0”とする正論理表現で説明を行うが、負論理表現を用いても全く同様の説明を行うことができ、正論理表現が本発明の権利範囲を限定するものではない。

#### 【0069】

##### 〔第1実施形態〕

図1は本発明の第1実施形態に係るエンコーダの回路構成図である。本実施形態のエンコーダは、0～7個の変化点数を持つ8ビットパラレルデータを入力して、0～4個の変化点数を持つ識別ビット付き低EMI化9ビットシリアルコードを出力するものである。ここで、識別ビットは、当該エンコーダにおいて、変化点数を低減するためのコード変換を行ったか否かを示す。

#### 【0070】

図1において、本実施形態のエンコーダは、8ビットデータbit0～bit7 ( $n =$

8) について、隣り合うビット間で値が変化する変化点数を計数し、該計数結果が3（所定数）を超えたときに真値となる識別ビットbit8' を出力する変化点数計数回路1と、識別ビットbit8' が真値であるときに、8ビットデータbit0～bit7の偶数番目（所定位置）のビットbit0, bit2, bit4およびbit6を反転させるコード変換回路3と、コード変換回路3によりコード変換した8ビットデータbit0'～bit7' に識別ビットbit8' をMSBとして付加した9ビットデータbit0'～bit8' を9ビットシリアルコードに変換して出力するパラレル・シリアル変換回路5と、を備えた構成である。

#### 【0071】

変化点数計数回路1は、7個の2入力EXOR（排他的論理和）ゲートを持つ変化点検出回路11と、計数回路12とを備えている。

#### 【0072】

変化点検出回路11では、7個の2入力EXORゲートに、隣り合うビット（bit0とbit1、bit1とbit2、bit2とbit3、bit3とbit4、bit4とbit5、bit5とbit6、bit6とbit7、bit7とbit8）をそれぞれ入力して、互いに異なる値を持っているか否かを検出している。ここで、EXORゲートは2つの入力の値が互いに異なるときに真値“1”を出力することから、7個の2入力EXORゲートにより8ビットデータbit0～bit7の変化点を検出することが可能となる。

#### 【0073】

計数回路12は、7個の2入力EXORゲートの出力を入力して、8ビットデータbit0～bit7の変化点を計数し、該計数結果が3を超えたときに真値“1”となる識別ビットbit8' を出力する。例えば、7個の入力について真値を計数する加算回路を備えて、該加算回路の第3桁目出力を識別ビットbit8' とすることにより実現できる。

#### 【0074】

また、コード変換回路3は、4個のNOTゲートを持つインバータ31と、4個の2入力切換スイッチを持つスイッチ32とを備えている。

#### 【0075】

インバータ31は、8ビットデータbit0～bit7の偶数番目のビットbit0, bit



2, bit4およびbit6を反転させ、スイッチ 32 は、偶数番目のビットbit0, bit2, bit4およびbit6について、識別ビットbit8' が“0”のときはそのままスルーさせ、識別ビットbit8' が“1”のときはインバータ 31 の出力を選択する。つまり、コード変換回路 3 の出力（8 ビットデータ）bit0' ~bit7' は、8 ビットデータbit0~bit7の変化点数が3以下のときにはそのままスルーさせたものとなり、8 ビットデータbit0~bit7の変化点数が3を超えるときには偶数番目のビットbit0, bit2, bit4およびbit6を反転させたものとなる。

#### 【0076】

ここでは、データのビット位置を0番目からカウントしており、1桁目のビットが0番目のビットである。なお、この表現は本発明の権利範囲を限定するものではない。

#### 【0077】

パラレル・シリアル変換回路 5 は、コード変換回路 3 の出力bit0' ~bit7' に対して変化点数計数回路 1 の出力である識別ビットbit8' をMSBとして付加した9ビットデータbit0' ~bit8' を入力し、これを9ビットシリアルコードに変換して出力する。

#### 【0078】

次に、本第1実施形態のエンコーダにおける原理的説明、即ち識別ビットbit8' の生成条件や9ビットシリアルコードにおける配置等についての説明を行い、また、統計的解析から9ビットシリアルコードにおける変化点数の削減効果を導く。

#### 【0079】

まず、上記〔性質2〕から、変化点数 $N_p$ を持つ8ビットデータbit0~bit7について1ビットおきに反転したときには、反転後の8ビットデータbit0' ~bit7' における変化点数 $N_q$ は $N_q = 7 - N_p$ である。このことから、7個の変化点を持つ8ビットデータについて1ビットおきに反転すると、反転後の8ビットデータの変化点数は0個になる。同様に、6個の変化点を持つときは1個に、5個の変化点を持つときは2個に、4個の変化点を持つときは3個に、3個の変化点を持つときは4個に、2個の変化点を持つときは5個に、1個の変化点を持つとき

は6個に、0個の変化点を持つときは7個になる。

#### 【0080】

また、本発明では、コード変換手段においてビット反転させる所定位置を、 $n$ ビットデータの奇数番目または偶数番目のビットとするのが望ましく、また変化点数計数手段における所定数 $M$ を $M = (n - 1) / 2$ 以下の最大の整数値とするのが望ましい。本実施形態では $n = 8$ であるので、 $(n - 1) / 2 = 3.5$ 以下で最大の整数値3を変化点数計数回路1における所定数 $M$ とし、また、コード変換回路3では8ビットデータbit0～bit7の偶数番目のビット (bit0, bit2, bit4, bit6) を反転している。

#### 【0081】

つまり、8ビットデータbit0～bit7の変化点数が0個から3個のときには、コード変換回路3は変換を行わずに8ビットデータbit0'～bit7'の変化点数も0個から3個のままであり、ビットデータbit0～bit7の変化点数が4個から7個のときには、コード変換回路3は変換を行って8ビットデータbit0'～bit7'の変化点数は3個から0個に削減される。したがって、変換後の8ビットデータbit0'～bit7'の変化点数は高々 $M = 3$ に削減されたことになる。

#### 【0082】

ここで、本第1実施形態のエンコーダによって生成される9ビットシリアルコードの具体例を図2に例示する。なお、以下の説明では、本実施形態のエンコーダによって生成されるシリアルコードがデータ転送装置のデータ送信回路側で用いられることを前提として、「転送」という語を使用する。

#### 【0083】

図2(a)には、対比を行うために、転送単位を8ビットとして単なるパラレル・シリアル変換により生成される8ビットシリアルコード (bit0～bit7) を4単位分示している。図2(b)には、本実施形態のエンコーダによって生成され転送単位を9ビットとする9ビットシリアルコード (bit0'～bit8') を4単位分示す。なお、両者の入力 (8ビットパラレルデータbit0～bit7) は同一であり、図において右側 (転送単位データのLSB側) のビットから順次出力されるものとする。また、データの上方にある下向き矢印は、隣り合うビット間で値が変

化する変化点が存在することを示している。

#### 【0084】

ここで、両者のデータの変化点数について比較すると、図2（a）では、第1転送データから第4転送データまで順に0個、1個、7個、3個の変化点を持ち、4個の転送データの境界に2個の変化点を持つので、合計で13個の変化点を持つのに対し、図2（b）では、第1転送データから第4転送データまで順に0個、1個、0個、4個の変化点を持ち、4個の転送データの境界に3個の変化点を持つので、合計で8個の変化点を持っている。つまり、本具体例では、本実施形態のエンコーダにより、データの変化点数を13から8に削減できたことになる。

#### 【0085】

また、個々の9ビットシリアルコード（bit0'～bit8'）について、変化点数が高々4個に削減されており、M個ではなく（M+1）個となっているが、これは、パラレル・シリアル変換回路5において、コード変換手段回路3の出力である8ビットデータbit0'～bit7'のMSB側に識別ビットbit8'を付加しているので、この識別ビットbit8'とのビット境界が新たに変化点が存在し得る箇所となるためである。

#### 【0086】

次に、本第1実施形態のエンコーダでは、生成される9ビットシリアルコード（bit0'～bit8'）において、追加した識別ビット（bit8'）をデータのMSBに配置しているが、この妥当性について図3を参照して説明する。図3（a）には識別ビットをデータのMSBに配置したときのシリアルコードを示し、図3（b）には識別ビットをデータのLSBまたはMSB以外の位置に配置したときのシリアルコードを示す。

#### 【0087】

本実施形態のエンコーダでは、変化点数計数回路1の変化点検出回路11において、8ビットデータbit0～bit7の隣り合うビットについて変化点を検出しており、9ビットシリアルコードの内の識別ビットを除く8ビットについては、コード変換回路3による変換によってビット境界が変化点になる確率は50%以下に

削減される。以下では、このようなビット境界を「制御可能な変化点」と呼び、図3において、白抜きの矢印で示す。

#### 【0088】

一方、転送データの境界で隣り合うビットについては変化点の検出をしていない。つまり、転送データの境界における変化点の有無は、識別ビットの値、即ちコード変換回路3による変換または非変換に影響を与えておらず、また、転送データの境界で隣り合うビットは互いに独立であるので、転送データの境界が変化点となる確率は50%である。以下では、このようなビット境界を「制御不可能な変化点」と呼び、図3において塗りつぶした矢印で示す。

#### 【0089】

また、パラレル・シリアル変換回路5において付加される識別ビットの前後のビット境界についても、変化点の検出をしておらず、識別ビットとその前後のビットとは互いに独立である。したがって、識別ビットの前後のビット境界（2箇所）についても、転送データの境界が変化点となる確率は50%であり、制御不可能な変化点である。

#### 【0090】

つまり、図3（b）に示すように、1転送単位の9ビットシリアルコードには、本来、転送データの境界と識別ビットの前後のビット境界の合計3箇所に制御不可能な変化点が存在することになる。制御不可能な変化点が多く存在すると、全体としての変化点の発生する確率が、何もしなかったときの変化点の発生確率である50%に近づき変化点数の削減率が低下する。

#### 【0091】

そこで、本実施形態のエンコーダでは、図3（a）に示すように、識別ビットの後方のビット境界が転送データの境界に重なるように、識別ビットを9ビットシリアルコードのMSBに配置して、1転送単位当たりの制御不可能な変化点を2箇所に削減しているのである。なお、識別ビットの前方のビット境界が転送データの境界に重なるように、識別ビットを9ビットシリアルコードのLSBに配置しても、1転送単位当たりの制御不可能な変化点を2箇所に削減することができる。

## 【0092】

以上をまとめると、本第1実施形態のエンコーダでは、変化点数計数回路1における所定数を $M=3$ とし、コード変換回路3において、識別ビットbit8'が“1”のときに8ビットデータbit0~bit7の偶数番目のビット(bit0, bit2, bit4, bit6)を反転することとしているので、コード変換手段回路3の出力である8ビットデータbit0'~bit7'の変化点数を高々 $M=3$ 個におさえることができる。また、パラレル・シリアル変換回路5において、コード変換手段回路3の出力である8ビットデータbit0'~bit7'のMSB側に識別ビットbit8'を付加しているので、9ビットシリアルコード(bit0'~bit8')の変化点数を高々 $M+1=4$ 個におさえることができ、シリアルデータ転送における1転送単位(9ビットシリアルコード)当たりの変化点数を高々 $M+2=5$ 個におさえることができる。

## 【0093】

次に、統計的解析から、本第1実施形態のエンコーダの9ビットシリアルコードにおける変化点数の削減効果を導く。

## 【0094】

図4は、何も施さない(本実施形態のエンコーダによるコード変換を施さない)通常の8ビットデータについて変化点数の発生頻度を変化点数毎に棒グラフで示し、またその頻度の累積を折れ線グラフで示したものである。

## 【0095】

ここで、データのビット長を $n$ とし、該 $n$ ビットデータが持つ変化点数を $m$ とすると、変化点の発生し得るビット境界は $(n-1)$ 箇所存在して(上記[性質1])、変化点数 $m$ は0以上 $(n-1)$ 以下の整数値をとる。また、変化点はどのビット境界でも独立して発生し得るため、変化点の発生は

2項係数:  $(n-1)C_m$

で計算できる。さらに、変化点は、隣り合うビットが「01」, 「10」となる2通りのときに発生するので、変化点数 $m$ の $n$ ビットデータが発生する頻度は、

$2 \times (n-1)C_m$

により求めることができる。

**【0096】**

図4において、変化点数が0になる8ビットデータは2個（即ち「00000000」，「11111111」）あり、変化点数が1個になる8ビットデータは例えば「00000001」，「11110000」など14個あり、変化点数が3個になる8ビットデータは42個あり、さらに、変化点数が7になる8ビットデータは2個（即ち「10101010」，「01010101」）あることを示している。また累積は、変化点数が0から指定した変化点数までの頻度の合計であり、単位長8ビットのデータを転送する場合には256となる。

**【0097】**

図5には、何も施さない通常の9ビットデータについて変化点数の発生頻度を変化点数毎に棒グラフで示し、またその頻度の累積を折れ線グラフで示す。

**【0098】**

本実施形態のエンコーダは、元々8ビットのデータを9ビットデータに変換して出力するものであるが、図4および図5から、変換後の9ビットデータにより変化点数をどこまで抑えることが可能であるかを読みとることもできる。つまり、元の8ビットデータの累積は256であり、図5において累積が256以上になるのは変化点数が4のときであるので、変換後の9ビットデータが変化点数を高々4個持つように、変化点数計数回路1において所定数を3とすべきであることが読みとれる。

**【0099】**

図6には、本実施形態により生成される9ビットシリアルコードについて、変化点数の発生頻度を変化点数毎に棒グラフで示し、またその頻度の累積を折れ線グラフで示す。

**【0100】**

上述のように、本実施形態のエンコーダでは、変化点数計数回路1における所定数を $M=3$ とし、コード変換回路3における偶数番目のビット反転により8ビットデータ $\text{bit}0'$ ～ $\text{bit}7'$ の変化点数を高々 $M=3$ 個に抑え、パラレル・シリアル変換回路5における識別ビット $\text{bit}8'$ の付加によっても9ビットシリアルコード( $\text{bit}0'$ ～ $\text{bit}8'$ )の変化点数を高々 $M+1=4$ 個に抑えている。このことは

、図4および図6を対比することによっても、「変化点数が0から7の範囲に分布している8ビットデータが、変化点数が0から4の範囲に分布している9ビットシリアルコードに変換されている」として読みとることができる。

#### 【0101】

図7には、本実施形態により生成される9ビットシリアルコードをデータ転送する際のデータ境界まで含めたものについて、変化点数の発生頻度を変化点数毎に棒グラフで示し、またその頻度の累積を折れ線グラフで示す。

#### 【0102】

上述のように、本第1実施形態のエンコーダでは、シリアルデータ転送における1転送単位（9ビットシリアルコード）当たりの変化点数を高々 $M+2=5$ 個におさえているが、このことは、図7からも、「変化点数が0から5の範囲に分布している」として読みとることができる。

#### 【0103】

次に、各データの変化点数の平均値を算出し、その比較によって本実施形態のエンコーダの9ビットシリアルコードにおける変化点数の削減効果を導く。

#### 【0104】

まず、何も施さない通常の8ビットデータについて算出すると、変化点の発生する箇所は7箇所であり、それぞれが変化点となる確率は50%であるので、変化点数の平均値は $0.5 \times 7 = 3.5$ となる。一方、本実施形態により生成される9ビットシリアルコードについては、図6の分布から、

$$(16 + 56 \times 2 + 112 \times 3 + 70 \times 4) / 256 = 2.90625$$

$$\approx 2.91$$

として求めることができる。つまり、本実施形態のエンコーダによって8ビットデータを9ビットシリアルコードに変換することにより、変化点数を約16.96%削減できたことになる。

#### 【0105】

また、シリアルデータ転送におけるデータ境界まで含めて計算すると、何も施さない通常の9ビットデータについて、変化点数の平均値は $0.5 \times 8 = 4.0$ である。これに対して、本実施形態により生成される9ビットシリアルコードを

データ転送する際のデータ境界まで含めたものについては、図7の分布から、

$$(18 + 72 \times 2 + 168 \times 3 + 182 \times 4 + 70 \times 5) / 512 \\ = 3.40625 \div 3.41$$

として求められる。つまり、本実施形態のエンコーダによって8ビットデータを9ビットシリアルコードに変換してシリアルデータ転送する場合において、データ境界の変化点の発生を考慮したとしても、変化点数を約14.84%削減できたことになる。

#### 【0106】

最後に具体的な回路構成について検討する。

#### 【0107】

本第1実施形態では、変化点数計数回路1を、変化点を検出する7個の2入力EXORゲートと変化点数を計数する加算回路とを備えた構成で、コード変換回路3を、4個のビット反転用のNOTゲートと、4個の変換または非変換を切り換える2入力切換スイッチとを備えた構成でそれぞれ実現している。よって、ルックアップテーブルを用いた第1従来例と比較すると、はるかに少ない回路物量で低EMI化9ビットシリアルコードを出力するエンコーダを構成することができる。つまり、回路コスト、ひいては適用される製品コストを低減することができる。

#### 【0108】

また、変化点数が少ないこと即ち電気信号の変化が少ないことによって回路の消費電力も削減されるので、本実施形態のエンコーダから出力される9ビットシリアルコードを用いる回路の消費電力を低減することも可能である。

#### 【0109】

#### 〔第2実施形態〕

図8は本発明の第2実施形態に係るデコーダの回路構成図である。

#### 【0110】

図8において、本実施形態のデコーダは、第1実施形態のエンコーダが出力する識別ビット(bit8')付きの9ビットシリアルコードを9ビットパラレルデータに変換するシリアル・パラレル変換回路7と、シリアル・パラレル変換回路7



によって変換した後の 9 ビットデータに付加されている識別ビット bit8' が真値であるときに、該 9 ビットデータの内の識別ビット bit8' を除く 8 ビットデータ bit0' ~ bit7' について偶数番目（所定位置）のビット bit0' , bit2' , bit4' および bit6' を反転させるコード逆変換回路 9 と、を備えた構成である。

#### 【0111】

コード逆変換回路 9 は、4 個の NOT ゲートを持つインバータ 91 と、4 個の 2 入力切換スイッチを持つスイッチ 92 とを備えている。

#### 【0112】

インバータ 91 は、8 ビットデータ bit0' ~ bit7' の偶数番目のビット bit0' , bit2' , bit4' および bit6' を反転させる。スイッチ 92 は、偶数番目のビット bit0' , bit2' , bit4' および bit6' について、識別ビット bit8' が “0” のときはそのままスルーさせ、識別ビット bit8' が “1” のときはインバータ 91 の出力を選択する。

#### 【0113】

本第 2 実施形態のデコーダでは、上述した第 1 実施形態のエンコーダが出力する 9 ビットシリアルコードを、シリアル・パラレル変換回路 7 により 9 ビットパラレルデータに変換し、該変換後の 9 ビットデータに付加されている識別ビット bit8' が真値であるときに、コード逆変換回路 9 により、該 9 ビットデータの内の識別ビット bit8' を除く 8 ビットデータ bit0' ~ bit7' について偶数番目のビット bit0' , bit2' , bit4' および bit6' を反転する。なお、コード逆変換回路 9 が反転するビット位置は、第 1 実施形態のエンコーダにおいてコード変換回路 3 が反転するビット位置と同一であることが必要である。これにより、第 1 実施形態のエンコーダから出力された低 EMI 化 9 ビットシリアルコードを元の 8 ビットパラレルデータに復号することができる。

#### 【0114】

以上のように、本第 2 実施形態のデコーダでは、コード逆変換回路 9 を、4 個のビット反転用の NOT ゲートと 4 個の変換または非変換を切り換える 2 入力切換スイッチとを備えた構成で実現できるから、ルックアップテーブルを用いた第 1 従来例に比べてはるかに少ない回路物量で低 EMI 化 9 ビットシリアルコード

を復号するデコーダを構成することができ、回路コスト、ひいては適用される製品コストを低減することができる。

#### 【0115】

##### 〔第3実施形態〕

図9は本発明の第3実施形態に係るデータ転送装置の構成図である。

#### 【0116】

図9において、本実施形態のデータ転送装置は、データ送信回路110、データ受信回路120および伝送線路130を備えた構成であり、データ送信回路110に第1実施形態のエンコーダ111を備え、データ送信回路120に第2実施形態のデコーダ122を備えた構成である。

#### 【0117】

データ送信回路110では、エンコーダ111において、変化点数計数回路1により、8ビットデータbit0～bit7について、隣り合うビット間で値が変化する場合、変化点数を計数し、該計数結果が3（所定数）を超えたときに真値となる識別ビットbit8'を出力し、またコード変換回路3においては、識別ビットbit8'が真値であるときに、8ビットデータbit0～bit7の偶数番目（所定位置）のビットbit0, bit2, bit4およびbit6を反転し、該コード変換回路3によりコード変換した8ビットデータbit0'～bit7'に識別ビットbit8'をMSBとして付加した9ビットデータbit0'～bit8'を、パラレル・シリアル変換回路5によって9ビットシリアルコードに変換して出力する。9ビットシリアルコードは、出力回路112を介して伝送路130上に出力される。なお、出力回路112は、少なくとも出力バッファとデータ送信の制御を行う制御回路とを備えた構成である。

#### 【0118】

データ受信回路120では、伝送路130上の9ビットシリアルコードを入力回路121を介して入力し、デコーダ122において、シリアル・パラレル変換回路7により、該9ビットシリアルコードを9ビットパラレルデータに変換し、コード逆変換回路9では、シリアル・パラレル変換回路7によって変換した後の9ビットデータに付加されている識別ビットbit8'が真値であるときに、該9ビットデータの内の識別ビットbit8'を除く8ビットデータbit0'～bit7'につい

て偶数番目（所定位置）のビットbit0' , bit2' , bit4' およびbit6' を反転させ、元の8ビットデータbit0～bit7に復号する。

#### 【0119】

このように、本第3実施形態のデータ転送装置では、データ送信回路110から変化点数を低減した9ビットシリアルコードを出力し、データ受信回路120で該9ビットシリアルコードを入力して復号することができるので、シリアルデータを転送する際の高周波成分を抑制し、低EMI化を実現することができる。また、データ送信回路110のエンコーダ111およびデータ受信回路120のデコーダ122を少ない回路物量で構成することができるので、装置コストを低減することができる。

#### 【0120】

なお、以上説明した第1実施形態から第3実施形態までのエンコーダ、デコーダおよびデータ転送装置では、識別ビットbit8' を9ビットデータ（9ビットシリアルコード）bit0' ～bit8' のMSBに配置したが、LSBに配置するようにしてもよい。

#### 【0121】

##### 〔第4実施形態〕

図10は本発明の第4実施形態に係るエンコーダの回路構成図である。

#### 【0122】

図10において、本実施形態のエンコーダは、変化点数計数回路2、コード変換回路3およびパラレル・シリアル変換回路5を備えた構成である。コード変換回路3およびパラレル・シリアル変換回路5については、第1実施形態のエンコーダと同じ構成であるので、ここでは、変化点数計数回路2について詳細に説明する。

#### 【0123】

変化点数計数回路2は、8個の2入力EXOR（排他的論理和）ゲートを持つ変化点検出回路21と、計数回路22と、2入力ANDゲート23と、2入力ORゲート24と、ディレイ回路25とを備えている。

#### 【0124】

変化点検出回路 21 の内、上方の 7 個の 2 入力 EXOR ゲートでは、第 1 実施形態と同様に、隣り合うビット (bit0 と bit1、bit と bit2、bit2 と bit3、bit3 と bit4、bit4 と bit5、bit5 と bit6、bit6 と bit7、bit7 と bit8) をそれぞれ入力して、互いに異なる値を持ってビット境界に変化点が発生したか否かを検出している。また、追加した最下方の 2 入力 EXOR ゲートには、8 ビットデータの LSB (bit0) と識別ビット bit8' をディレイ回路 25 で所定時間遅延した識別ビット bit8" を入力して、互いに異なる値を持ってビット境界に変化点が発生したか否かを検出している。

#### 【0125】

つまり、変化点検出回路 21 では、8 ビットデータ bit0～bit7 の LSB 側に当該エンコーダが 1 つ前に扱った 9 ビットシリアルコードの MSB (識別ビット bit8" ) を追加した 9 ビットデータを検出対象のデータとしている。したがって、ディレイ回路 25 は、当該エンコーダが 8 ビットデータを入力して 9 ビットシリアルコードを出力するまでの 1 周期の時間だけ遅延させる遅延回路か、或いは、該周期の中盤のタイミングで識別ビット bit8' をセットするフリップフロップで構成すればよい。

#### 【0126】

計数回路 22 は、8 個の 2 入力 EXOR ゲートの出力を入力して、検出対象の 9 ビットデータの変化点を計数し、該計数結果が 4 (所定数) を超えたときに真値 “1” となる信号  $\Sigma > 4$  を出力すると共に、該計数結果が 4 (所定数) に等しきときに真値 “1” となる信号  $\Sigma = 4$  を出力する。例えば、8 個の 1 ビット値の加算の場合、とりうる値は「0000」「0001」「0010」「0011」「0100」「0101」「0110」「0111」「1000」の 9 種類になる。このため、信号  $\Sigma = 4$  は「0100」と比較することにより、また、信号  $\Sigma > 4$  は bit と bit3 の論理和 (OR) と、 $\Sigma = 4$  の否定との論理積 (AND) をとることにより、算出することができる。

#### 【0127】

2 入力 AND ゲート 23 では、8 ビットデータの MSB (bit7) と計数回路 22 の出力信号  $\Sigma = 4$  との論理積をとり、2 入力 OR ゲート 24 では、該 2 入力 A

NDゲート23の出力と計数回路22の出力信号 $\Sigma > 4$ との論理和をとっている。

#### 【0128】

これにより、識別ビットbit8' は、検出対象の9ビットデータの変化点数が所定数4を超えたとき、或いは、検出対象の9ビットデータの変化点数が所定数4に等しく且つ8ビットデータのMSB (bit7) が真値であるときに真値となる。

#### 【0129】

次に、本第4実施形態のエンコーダにおける原理的説明、即ち識別ビットbit8' の生成条件や9ビットシリアルコードにおける配置等についての説明を行い、また、統計的解析から9ビットシリアルコードにおける変化点数の削減効果を導く。

#### 【0130】

なお、上述のように、本第4実施形態では、8ビットデータbit0～bit7のLSB側に当該エンコーダが1つ前に扱った9ビットシリアルコードのMSB (識別ビットbit8'') を追加した9ビットデータ (bit8'', bit0～bit7) を検出対象のデータとしている。

#### 【0131】

したがって、上記〔性質2〕から、8個の変化点を持つ9ビットデータについて1ビットおきに反転すると、反転後の9ビットデータの変化点数は0個になる。同様に、7個の変化点を持つときは1個に、6個の変化点を持つときは2個に、5個の変化点を持つときは3個に、4個の変化点を持つときは4個に、3個の変化点を持つときは5個に、2個の変化点を持つときは6個に、1個の変化点を持つときは7個に、0個の変化点を持つときは8個になる。

#### 【0132】

なお、本実施形態では、 $n = 8$ であるが変化点数の検出対象データを1ビット拡張しているので、 $((n + 1) - 1) / 2 = 4$ 、0以下で最大の整数値4を変化点数計数回路2における所定数M' とし、また、コード変換回路3では8ビットデータbit0～bit7の偶数番目のビット (bit0, bit2, bit4, bit6) を反転している。

**【0133】**

コード変換回路3は、9ビットデータ (bit8", bit0~bit7) については奇数番目のビットを反転しており、該エンコーダが1つ前に扱った9ビットシリアルコードのMSB (識別ビットbit8") および8ビットデータのMSB (bit7) を反転ビットとしていないことに留意すべきである。つまり、9ビットデータ (bit8", bit0~bit7) の変化点数が0個から4個のときには、コード変換回路3は変換を行わずに8ビットデータbit0' ~bit7' の変化点数も0個から4個のままであり、9ビットデータ (bit8", bit0~bit7) の変化点数が5個から8個のときには、コード変換回路3は変換を行って8ビットデータbit0' ~bit7' の変化点数は3個から0個に削減される。したがって、変換後の8ビットデータbit0' ~bit7' の変化点数は高々 $M' = 4$ に削減されたことになる。

**【0134】**

ここで、本第4実施形態のエンコーダによって生成される9ビットシリアルコードの具体例を図11に例示する。なお、以下の説明では、本実施形態のエンコーダによって生成されるシリアルコードがデータ転送装置のデータ送信回路側で用いられることを前提として、「転送」という語を使用する。

**【0135】**

図11 (a) には、第1実施形態の図2と同様に、対比を行うため、転送単位を8ビットとして単なるパラレル・シリアル変換により生成される8ビットシリアルコード (bit0~bit7) を4単位分示している。また、図11 (b) には、本実施形態のエンコーダによって生成され転送単位を9ビットとする9ビットシリアルコード (bit0' ~bit8') を4単位分示す。

**【0136】**

ここで、両者のデータの変化点数について比較すると、図11 (a) では、第1転送データから第4転送データまで順に0個、1個、7個、3個の変化点を持ち、4個の転送データの境界に2個の変化点を持つので、合計で13個の変化点を持つのにに対し、図11 (b) では、第1転送データから第4転送データまで順に0個、1個、0個、4個の変化点を持ち、4個の転送データの境界に2個の変化点を持つので、合計で7個の変化点を持っている。つまり、本具体例では、本

実施形態のエンコーダにより、データの変化点数を 13 から 7 に削減できたことになる。

### 【0137】

上述したように、上述した第 1 実施形態のエンコーダでは、変化点数計数回路 1 における所定数を  $M=3$  とし、コード変換回路 3 において、識別ビット  $\text{bit}8'$  が “1” のときに 8 ビットデータ  $\text{bit}0 \sim \text{bit}7$  の偶数番目のビットを反転して、コード変換手段回路 3 の出力である 8 ビットデータ  $\text{bit}0' \sim \text{bit}7'$  の変化点数を高々  $M=3$  個におさえている。また、パラレル・シリアル変換回路 5 において、コード変換手段回路 3 の出力である 8 ビットデータ  $\text{bit}0' \sim \text{bit}7'$  の MSB 側に識別ビット  $\text{bit}8'$  を付加した 9 ビットシリアルコード ( $\text{bit}0' \sim \text{bit}8'$ ) の変化点数を高々  $M+1=4$  個におさえている。さらに、シリアルデータ転送における 1 転送単位 (9 ビットシリアルコード) 当たりの変化点数を高々  $M+2=5$  個におさえている。

### 【0138】

これに対して、本第 4 実施形態のエンコーダでは、変化点数計数回路 2 において、変化点を検出する対象データを 1 ビット拡張した 9 ビットデータ ( $\text{bit}8''$ ,  $\text{bit}0 \sim \text{bit}7$ ) とし、所定数  $M'$  を  $(n/2) = 4.0$  以下で最大の整数値 4 としている。そして、検出対象の 9 ビットデータの変化点数が所定数 4 を超えたとき、或いは、検出対象の 9 ビットデータの変化点数が所定数 4 に等しく且つ 8 ビットデータの MSB ( $\text{bit}7$ ) が真値であるときに、識別ビット  $\text{bit}8'$  を真値にして、コード変換手段回路 3 において 8 ビットデータ  $\text{bit}0 \sim \text{bit}7$  の偶数番目ビットを反転することにより、コード変換手段回路 3 の出力である 8 ビットデータ  $\text{bit}0' \sim \text{bit}7'$  の変化点数を高々  $M'=4$  個におさえている。そして、9 ビットシリアルコード ( $\text{bit}0' \sim \text{bit}8'$ ) の変化点数を高々  $M'=4$  個におさえ、さらに、シリアルデータ転送における 1 転送単位 (9 ビットシリアルコード) 当たりの変化点数も高々  $M'=4$  個におさえている。

### 【0139】

まず、本第 4 実施形態において、上記の第 1 実施形態のようにシリアルデータ転送における 1 転送単位 (9 ビットシリアルコード) 当たりの変化点数が 9 ビッ

トシリアルコード (bit0' ~ bit8') の変化点数よりも 1 個増えないのは、変化点数計数回路 2 において、変化点を検出する対象データを 1 ビット拡張し、8 ビットデータ bit0 ~ bit7 の L S B 側に当該エンコーダが 1 つ前に扱った 9 ビットシリアルコードの M S B (識別ビット bit8'') を追加した 9 ビットデータ (bit8'', bit0 ~ bit7) を検出対象のデータとしたことによる。つまり、第 1 実施形態では、図 3 を参照して説明したように、データの境界が制御不可能な変化点となっていたが、本第 4 実施形態では、データの境界を変化点の検出対象とすることにより、データの境界を制御可能な変化点にすることができたためである。

#### 【0140】

次に、本第 4 実施形態において、第 1 実施形態のように 9 ビットシリアルコード (bit0' ~ bit8') の変化点数が 8 ビットデータ bit0' ~ bit7' の変化点数よりも 1 個増えないのは、変化点数計数回路 2 において、識別ビット bit8' が真値となる条件に、「検出対象の 9 ビットデータ (bit8'', bit0 ~ bit7) の変化点数が所定数  $M' = 4$  に等しく且つ 8 ビットデータ bit0 ~ bit7 の M S B (bit7) が真値であるとき」という条件を加えたことによる。つまり、第 1 実施形態では、図 3 を参照して説明したように、8 ビットデータ bit0' ~ bit7' と識別ビット bit8' とのビット境界が制御不可能な変化点となっていたが、本実施形態では、該ビット境界で変化点が発生しないように回路を工夫することにより、該ビット境界を制御可能な変化点にしたためである。

#### 【0141】

以下では、上記追加条件を逆説的に導くことにする。

#### 【0142】

まず、9 ビットシリアルコード (bit0' ~ bit8') の変化点数が ( $M' + 1$ ) になり得るのは、変化点数計数回路 2 における計数結果が所定数  $M'$  に等しいときのみである。この時、計数結果が所定数  $M'$  を超えていないので本来の識別ビット bit8' は偽値である。本実施形態では識別ビット bit8' が 9 ビットデータ bit0' ~ bit8' の M S B に配置されており、8 ビットデータ bit0' ~ bit7' の M S B (bit7') と識別ビット bit8' とのビット境界に変化点が発生する条件は、識別ビット bit8' が偽値であるので M S B (bit7') が真値のときのみである。一



方、変化点を検出する対象データ (bit8", bit0~bit7) のビット数は (n + 1) = 9 で奇数であるので、変化点の計数結果が所定数  $M' = 4$  に等しいときは、コード変換回路 3 による変換を行っても行わなくても変化点数は 4 のままで変化しない。

#### 【0143】

したがって、8 ビットデータ bit0~bit7 の MSB (bit7) がコード変換回路 3 におけるビット反転の対象でない場合には、変化点数計数回路 2 の計数結果が所定数  $M' = 4$  に等しく且つ 8 ビットデータ bit0~bit7 の MSB (bit7) が真値のときに識別ビット bit8' を真値にすれば、コード変換回路 3 によるビット反転が行われても 8 ビットデータ bit0' ~bit7' の MSB (bit7') の値は変わらず真値のままであるので、8 ビットデータ bit0' ~bit7' の MSB (bit7') と識別ビット bit8' とのビット境界に変化点が発生しなくなる。その結果として、9 ビットシリアルコード (bit0' ~bit8') の変化点数を高々  $M' = 4$  に抑えることができるのである。

#### 【0144】

これを具体例を挙げて説明する。変化点数が 4 の 9 ビットデータを「001100110」とする (MSB (bit7) = 0 の例) とき、コード変換回路 3 によるビット反転は行われないので、変換後の 9 ビットデータは「001100110」のままであり、MSB 側に識別ビット bit8' = 0 を付加しても変化点は発生せずに変化点数は 4 である。また、変化点数が 4 の 9 ビットデータを「101100111」とする (MSB (bit7) = 1 の例) とき、コード変換回路 3 によるビット反転が行われるが、変換後には変化点数が 4 の 9 ビットデータ「111001101」となり、MSB 側に識別ビット bit8' = 1 を付加しても変化点は発生せずに変化点数は 4 である。

#### 【0145】

なお、上述のように、8 ビットデータ bit0' ~bit7' と識別ビット bit8' とのビット境界を制御可能な変化点にするためには、「検出対象の 9 ビットデータ (bit8", bit0~bit7) の変化点数が所定数  $M' = 4$  に等しく且つ 8 ビットデータ bit0~bit7 の MSB (bit7) が真値であるときに識別ビット bit8' を真値とす

る」条件を加えることの前提として、「識別ビットbit8' が9ビットデータbit0' ~bit8' のMSBに配置されること」、「変化点を検出する対象データのビット数が奇数であること」、並びに、「8ビットデータbit0~bit7のMSB (bit7) がコード変換回路3におけるビット反転の対象でないこと」の各条件が必要である。ちなみに、変化点を検出する対象データのビット数が偶数である場合には、コード変換回路3による変換を行っても行わなくても変化点数が変化しないという状態が存在しない。

#### 【0146】

次に、統計的解析から本第4実施形態のエンコーダの9ビットシリアルコードにおける変化点数の削減効果を導く。

#### 【0147】

図12は、本実施形態により生成される9ビットシリアルコードをデータ転送する際のデータ境界まで含めたものについて、変化点数の発生頻度を変化点数毎に棒グラフで示し、またその頻度の累積を折れ線グラフで示したものである。上述のように、本実施形態のエンコーダでは、シリアルデータ転送における1転送単位(9ビットシリアルコード)当たりの変化点数を高々 $M' = 4$ 個におさえているが、このことは、図12からも、「変化点数が0から4の範囲に分布している」として読みとることができる。

#### 【0148】

次に、各データの変化点数の平均値を算出し、その比較によって本実施形態のエンコーダの9ビットシリアルコードにおける変化点数の削減効果を導く。

#### 【0149】

まず、何も施さない通常の8ビットデータについて、シリアルデータ転送におけるデータ境界まで含めて変化点数の平均値を計算すると、第1実施形態でも示したように $0.5 \times 8 = 4.0$ である。これに対して、本実施形態により生成される9ビットシリアルコードをデータ転送する際のデータ境界まで含めたものについて算出すると、図12の分布から、 $(18 + 72 \times 2 + 168 \times 3 + 252 \times 4) / 512 = 3.2695 \div 3.27$ として求められる。つまり、本実施形態のエンコーダによって8ビットデータを9ビットシリアルコードに変換してシ

リアルデータ転送する場合において、データ境界の変化点の発生を考慮したとしても、変化点数を約 18.25%削減できたことになる。

#### 【0150】

さらに、図13には、何も施さない（本実施形態のエンコーダによるコード変換を施さない）通常の10ビットデータについて変化点数の発生頻度を変化点数毎に棒グラフで示し、またその頻度の累積を折れ線グラフで示す。図13を参照すると、本実施形態により生成される9ビットシリアルコードをデータ転送する際のデータ境界まで含めた変化点数の発生分布（図12）は、10ビットデータにおける変化点数の発生分布（図13）の左半分に一致しており、8ビットデータを9ビットデータに変換して変化点数を削減する手法としては、本実施形態の構成が限界に達しているといえる。

#### 【0151】

最後に具体的な回路構成について検討する。

#### 【0152】

本第4実施形態では、変化点数計数回路2を、変化点を検出する8個の2入力EXORゲート、変化点数を計数する加算回路、2入力ANDゲート、2入力ORゲートおよびディレイ回路を備えた構成で、コード変換回路3を、4個のビット反転用のNOTゲートおよび4個の変換または非変換を切り換える2入力切換スイッチを備えた構成でそれぞれ実現している。このため、ルックアップテーブルを用いた第1従来例と比較すると、はるかに少ない回路物量で低EMI化9ビットシリアルコードを出力するエンコーダを構成することができる。つまり、回路コスト、ひいては適用される製品コストを低減することができる。

#### 【0153】

また、変化点数が少ないこと、即ち電気信号の変化が少ないことによって回路の消費電力も削減されるので、本実施形態のエンコーダから出力される9ビットシリアルコードを用いる回路の消費電力を低減することも可能である。

#### 【0154】

なお、以上説明した第1実施形態および第4実施形態のエンコーダでは、コード変換回路3において、8ビットデータbit0～bit7の偶数番目のビットbit0, b

it2, bit4およびbit6を反転させることとしたが、奇数番目のビットbit1, bit3, bit5およびbit7を反転させるようにしてもよい。

【0155】

また、第2実施形態のデコーダでは、コード逆変換回路9において、識別ビットbit8'が真値であるときに、9ビットデータの内の識別ビットbit8'を除く8ビットデータbit0'～bit7'について偶数番目のビットbit0', bit2', bit4', bit6'を反転させることとしたが、奇数番目のビットbit1', bit3', bit5'およびbit7'を反転させるようにしてもよい。

【0156】

さらに、第3実施形態のデータ転送装置のように、これらエンコーダおよびデコーダを組み合わせて使用する場合には、両者間でビット反転させる位置を一致させておく必要がある。

【0157】

〔第5実施形態〕

図14は本発明の第5実施形態に係るエンコーダの回路構成図である。

【0158】

図14において、本実施形態のエンコーダは、パラレル・シリアル変換回路5a、変化点数計数回路1aおよびコード変換回路3aを備えた構成である。

【0159】

上述した第1実施形態および第4実施形態のエンコーダにおいては、8ビットパラレルデータについて、変化点数計数回路1, 2により変化点数を計数して識別ビットbit8'を生成し、コード変換回路3によるコード変換または非変換を行った後に、パラレル・シリアル変換回路5による変換を行って9ビットシリアルコードを出力した。これに対し、本第5実施形態のエンコーダでは、パラレル・シリアル変換回路5aにより変換された8ビットシリアルデータについて、変化点数計数回路1aにより変化点数を計数して識別ビットbit8'を生成し、コード変換回路3aによるコード変換または非変換を行った後に、識別ビットbit8'を付加した9ビットシリアルコードを出力する。

【0160】

このように、本実施形態のエンコーダでは、8ビットシリアルデータについて処理を行うので、時間的に分けた2つのタイムステージで行う必要がある。すなわち、パラレル・シリアル変換回路5aによる変換、並びに、変化点数計数回路1aによる変化点数検出、計数および識別ビットbit8'の生成を行う第1タイムステージと、コード変換回路3aによるビット反転およびコード出力を行う第2タイムステージである。また、各タイムステージ内でもビット単位のタイミング制御が必要となる。

#### 【0161】

したがって、ここでは、タイムステージを刻むタイミング信号として転送周期クロックTCLKが与えられ、ビット単位のビット処理期間を刻むタイミング信号としてビットクロックBCLKが与えられるものとする。本第5実施形態では、9ビットのシリアルコードを生成するので、9個のビットクロックBCLKで1個の転送周期クロックTCLKを刻むことになる。また、1タイムステージにおいて9ビットデータのLSBの処理期間であることを示す信号TLSBと、9ビットデータのMSBの処理期間であることを示す信号TMSBも与えられる。なお、これらのタイミング信号は、例えば当該エンコーダから出力される9ビットシリアルコードをデータ転送する際に必要となるものであり、これらタイミング信号はデータ転送装置の出力回路等で生成されるのでそれらを流用すればよく、別途回路を必要とするものではない。

#### 【0162】

パラレル・シリアル変換回路5aでは、入力された8ビットパラレルデータを8ビットシリアルデータに変換するが、その際に、識別ビットを挿入するための空き時間を確保するために、識別ビットに対応するダミービット（図示せず）を追加する。従って、パラレル・シリアル変換回路5aの出力は、入力された8ビットパラレルデータに対応する8ビットシリアルデータとダミービットとを含むので、9ビットである。

#### 【0163】

変化点数計数回路1aは、隣り合うビットを保持するフリップフロップ11a、12aと、変化点検出用の2入力EXORゲート13aと、変化点数を計数す

る計数回路 16 a と、LSB 処理期間での計数を禁止する NOT ゲート 14 a および 2 入力 AND ゲート 15 a とを備えた構成である。

#### 【0164】

変化点数計数回路 1 a では、8 ビットシリアルデータ bit0～bit7 とダミービットがビットクロック BCLK に基づき順次フリップフロップ 11 a, 12 a に供給される。したがって、LSB 処理期間を除く各ビット処理期間では、フリップフロップ 11 a および 12 a には隣り合うビット（順次、bit0 と bit1、bit1 と bit2、bit2 と bit3、bit3 と bit4、bit4 と bit5、bit5 と bit6、bit6 と bit7、bit7 と bit8）が保持されることとなり、フリップフロップ 11 a および 12 a の出力について 2 入力 EXOR ゲート 13 a により排他的論理和をとることにより、隣り合うビットの変化点を検出する。この 2 入力 EXOR ゲート 13 a の出力を、LSB 処理期間を除く各ビット処理期間についてビットクロック BCLK に基づき計数回路 16 a でカウントすることにより、8 ビットシリアルデータ bit0～bit7 の変化点数が計数されることになる。また、計数回路 12 では、計数結果が 3 を超えたときに真値 “1” となる識別ビット bit8' を出力する。

#### 【0165】

コード変換回路 3 a は、8 ビットシリアルデータ bit0～bit7 とダミービットを順次出力するシフトレジスタ 31 a と、識別ビット bit8' を保持するフリップフロップ 32 a, 33 a と、偶奇信号を出力するカウンタ 34 a と、2 入力 AND ゲート 35 a と、ビット反転用の NOT ゲート 36 a と、変換または非変換を切り換える 2 入力切換スイッチ 37 a と、8 ビットデータ bit0' ～bit7' に識別ビット bit8' を（ダミービットに代えて）付加して出力するゲート群（NOT ゲート 36 a、2 入力 AND ゲート 39 a, 40 a および 2 入力 OR ゲート 41 a）と、を備えた構成である。

#### 【0166】

コード変換回路 3 a では、現タイムステージの最初のタイミングにおいて、シフトレジスタ 31 a には前タイムステージで変化点計数回路 1 a が扱った 8 ビットシリアルデータ bit0～bit7 が保持されている。また、識別ビット bit8' については、前タイムステージの MSB 処理期間にフリップフロップ 32 a に保持され

、現タイムステージの最初のタイミングでフリップフロップ33aに保持される。つまり、シフトレジスタ31aおよびフリップフロップ32a, 33aは、2つのタイムステージで処理するために該タイムステージの境界で必要となる保持手段である。

#### 【0167】

カウンタ34aは、ビットクロックBCLKを計数して、コード変換回路3aが現在8ビットシリアルデータbit0～bit7の何桁目を処理しているかを保持する。したがって、カウンタ34aの出力の1桁目を8ビットシリアルデータbit0～bit7の偶数番目または奇数番目を示す信号として使用できる。本実施形態では、第1実施形態と同様に、偶数番目のビットbit0, bit2, bit4およびbit6を反転させるので、カウンタ34a出力の1桁目の負論理信号を偶数番目信号（上述のように、本明細書ではビットデータの1桁目はビットbit0としている）として使用する。

#### 【0168】

2入力ANDゲート35aでは、識別ビットbit8' と偶数番目信号の論理積をとり、該2入力ANDゲート35aの出力に基づき、2入力切換スイッチ37aにおけるシフトレジスタ31a出力のスルーまたはビット反転の切換制御を行う。これにより、2入力切換スイッチ37aからは、識別ビットbit8' が1のときに偶数番目をビット反転し、識別ビットbit8' が0のときにそのままスルーさせた8ビットシリアルデータbit0' ～bit7' が出力されることになる。

#### 【0169】

さらに、8ビットシリアルデータbit0' ～bit7' は、2入力ANDゲート40aによりタイムステージのMSB処理期間を除く期間の出力に制限され、2入力ORゲート41aを介して9ビットシリアルコードの先頭から8ビットとして出力される。他方、識別ビットbit8' は、2入力ANDゲート39aによりタイムステージのMSB処理期間の出力に制限され、2入力ORゲート41aを介して9ビットシリアルコードのMSBとして出力される。以上により、2入力ORゲート41aからは、8ビットシリアルデータbit0' ～bit7' のMSB側に識別ビットbit8' を付加した9ビットシリアルコードが出力されることになる。

## 【0170】

本第5実施形態のエンコーダにおいても、第1実施形態と同様に、変化点数計数回路1aにおいて、8ビットデータについて検出した変化点数が所定数M(=3)を超えるとときに、コード変換回路3aにより8ビットデータのビットを1ビットおきに反転しているので、変換後の8ビットデータの変化点数を高々M(=3)に削減できる。その結果として、当該エンコーダから出力される9ビットシリアルコードの変化点数をより少なくして、該9ビットシリアルコードをシリアル転送する際の高周波成分を抑制し、低EMI化を実現することができる。

## 【0171】

具体的構成については、本第5実施形態のエンコーダでは、第1実施形態とは異なり8ビットシリアルデータについて処理を行うので、変化点数計数回路1aおよびコード変換回路3aによる処理を時間的に分けた2つの段階で行う必要があり、また、段階内でもビット単位のタイミング制御が必要となるので、第1実施形態のエンコーダと比べて多少回路物量が増大するが、ルックアップテーブルを用いた第1従来例に比べるとはるかに少ない回路物量で低EMI化9ビットシリアルコードを出力するエンコーダを構成することができ、回路コスト、ひいては適用される製品コストを低減することができる。

## 【0172】

また、第1実施形態と同様に、変化点数が少ないこと即ち電気信号の変化が少ないことによって回路の消費電力が削減され、本実施形態のエンコーダから出力される9ビットシリアルコードを用いる回路の消費電力を低減することも可能である。

## 【0173】

## 〔第6実施形態〕

次に、図15は本発明の第6実施形態に係るデコーダの回路構成図である。

## 【0174】

図15において、本実施形態のデコーダは、第1、第4または第5実施形態のエンコーダが出力する9ビットシリアルコードを入力し、該9ビットシリアルコードに付加されている識別ビット(bit8')が真値であるときに、該9ビットデ



ータの内の前記識別ビットを除く 8 ビットデータ bit0' ~ bit7' について偶数番目（所定位置）のビット bit0' , bit2' , bit4' および bit6' を反転させるコード逆変換回路 9 a と、該コード逆変換回路 9 a が出力する 8 ビットシリアルデータを 8 ビットパラレルデータに変換するシリアル・パラレル変換回路 7 a と、を備えた構成である。

#### 【0175】

上述した第 2 実施形態のデコーダにおいては、シリアル・パラレル変換回路 7 により変換された 8 ビットパラレルデータについて、コード逆変換回路 9 によるコード変換または非変換を行って 8 ビットパラレルデータを出力したのに対し、本第 6 実施形態のデコーダでは、入力した 9 ビットシリアルコードの内の識別ビットを除く 8 ビットシリアルデータについて、コード逆変換回路 9 a によるコード変換または非変換を行った後に、シリアル・パラレル変換回路 7 a による変換を行って 8 ビットパラレルデータを出力する。

#### 【0176】

また、本第 6 実施形態のデコーダでは、MSB に識別ビット (bit8' ) が付加されている 9 ビットシリアルコードについて処理を行うので、時間的に分けた 2 つのタイムステージで行う必要がある。すなわち、9 ビットシリアルコードを入力して 8 ビットシリアルデータと識別ビットとを分けて保持手段に保持する第 1 タイムステージと、コード逆変換回路 9 a によるビット反転、並びに、シリアル・パラレル変換回路 7 a による変換を行う第 2 タイムステージである。

#### 【0177】

したがって、上記第 5 実施形態と同様に、タイムステージを刻むタイミング信号として転送周期クロック TCLK が与えられ、ビット単位のビット処理期間を刻むタイミング信号としてビットクロック BCLK が与えられ、また、1 タイムステージにおいて 9 ビットデータの MSB の処理期間であることを示す信号 TMSB も与えられるものとする。

#### 【0178】

コード逆変換回路 9 a は、入力した 9 ビットシリアルコードを 8 ビットシリアルデータ (bit0' ~ bit7' ) と識別ビット (bit8' ) に分けて出力するゲート群

(NOTゲート91aおよび2入力ANDゲート92a, 93a)と、8ビットシリアルデータを順次出力するシフトレジスタ94aと、識別ビットbit8'を保持するフリップフロップ95a, 96aと、偶奇信号を出力するカウンタ97aと、2入力ANDゲート98aと、ビット反転用のNOTゲート99aと、変換または非変換を切り換える2入力切換スイッチ100aと、を備えた構成である。

#### 【0179】

第1タイムステージにおいては、入力した9ビットシリアルコードについて、2入力ANDゲート92aによりタイムステージのMSB処理期間を除く期間に制限して、8ビットシリアルデータ(bit0' ~bit7')を順次シフトレジスタ94aに取り込む。他方、2入力ANDゲート93aによりタイムステージのMSB処理期間に制限して、識別ビット(bit8')をフリップフロップ95aに取り込む。なお、フリップフロップ95aにおいて、識別ビット(bit8')をセットするタイミング信号をTMSB'としているのは、タイミング設計上、信号TMSBよりも少なくとも2入力ANDゲート93aの信号伝搬遅延時間分遅れた信号TMSB'を使用すべきだからである。

#### 【0180】

第2タイムステージでは、最初のタイミングにおいて、シフトレジスタ94aには前タイムステージで取り込んだ8ビットシリアルデータ(bit0' ~bit7')が保持されている。また、識別ビットbit8'については、前タイムステージのMSB処理期間にフリップフロップ95aに保持され、現タイムステージの最初のタイミングでフリップフロップ96aに保持されている。

#### 【0181】

カウンタ97aは、ビットクロックBCLKを計数して、コード変換処理において現在8ビットシリアルデータ(bit0' ~bit7')の何桁目を処理しているかを保持する。したがって、カウンタ97aの出力の1桁目を8ビットシリアルデータ(bit0' ~bit7')の偶数番目または奇数番目を示す信号として使用できる。本第6実施形態では、第1、第4または第5実施形態に対応して、偶数番目のビットbit0', bit2', bit4' およびbit6'を反転させるので、カウンタ97

a 出力の 1 桁目の負論理信号を偶数番目信号として使用する。

#### 【0182】

2 入力 AND ゲート 98a では、識別ビット bit8' と偶数番目信号の論理積をとり、該 2 入力 AND ゲート 98a の出力に基づき、2 入力切換スイッチ 100a におけるシフトレジスタ 94a 出力のスルーまたはビット反転の切換制御を行う。これにより、2 入力切換スイッチ 100a からは、識別ビット bit8' が 1 のときに偶数番目をビット反転し、識別ビット bit8' が 0 のときにそのままスルーさせた 8 ビットシリアルデータ bit0' ~ bit7' が出力されることになる。

#### 【0183】

シリアル・パラレル変換回路 7a では、入力された 8 ビットシリアルデータ bit0' ~ bit7' を 8 ビットパラレルデータ bit0 ~ bit7 に変換する。

#### 【0184】

本第 6 実施形態のデコーダでは、第 1、第 4 または第 5 実施形態のエンコーダが出力する 9 ビットシリアルコードを入力し、該 9 ビットシリアルコードに付加されている識別ビット bit8' が真値であるときに、コード逆変換回路 9a により、該 9 ビットデータの内の識別ビット bit8' を除く 8 ビットデータ bit0' ~ bit7' について偶数番目のビット bit0' , bit2' , bit4' および bit6' を反転し、コード逆変換回路 9a が出力する 8 ビットデータをシリアル・パラレル変換回路 7a により 8 ビットパラレルデータに変換する。

#### 【0185】

なお、コード逆変換回路 9a が反転するビット位置は、第 1、第 4 または第 5 実施形態のエンコーダにおいてコード変換回路 3 または 3a が反転するビット位置と同一であることが必要である。これにより、第 1、第 4 または第 5 実施形態のエンコーダから出力された低 EMI 化 9 ビットシリアルコードを元の 8 ビットパラレルデータに復号することができる。

#### 【0186】

以上のように、本第 6 実施形態のデコーダでは、コード逆変換回路 9a を、タイミング制御用の回路を除けば、9 ビットシリアルコードから 8 ビットデータと識別ビットとを分離するゲート群と、8 ビットシリアルデータを順次出力するシ

フトレジスタと、識別ビットを保持するフリップフロップと、ビット反転用のNOTゲートと、変換または非変換を切り換える2入力切換スイッチと、を備えた構成で実現できる。このように、上記第2実施形態のデコーダとは異なり9ビットシリアルコードについて処理を行うので、第2実施形態のデコーダと比べて多少回路物量が増大するが、ルックアップテーブルを用いた第1従来例に比べるとはるかに少ない回路物量で低EMI化9ビットシリアルコードを復号するデコーダを構成することができ、回路コスト、ひいては適用される製品コストを低減することができる。

#### 【0187】

##### 〔第7実施形態〕

図16は本発明の第7実施形態に係るデータ転送装置の構成図である。

#### 【0188】

図16において、本実施形態のデータ転送装置は、データ送信回路110a、データ受信回路120aおよび伝送線路130を備えた構成であり、データ送信回路110aに第5実施形態のエンコーダ111aを備え、データ送信回路120aに第6実施形態のデコーダ122aを備えた構成である。

#### 【0189】

データ送信回路110aでは、エンコーダ111aにおいて、パラレル・シリアル変換回路5aにより変換された8ビットシリアルデータについて、変化点数計数回路1aにより隣り合うビット間で値が変化する変化点数を計数し、該計数結果が3（所定数）を超えたときに真値となる識別ビット（bit8'）を出力し、また、コード変換回路3aにおいては、識別ビットが真値であるときに、8ビットシリアルデータ（bit0～bit7）の偶数番目（所定位置）のビット（bit0, bit2, bit4およびbit6）を反転し、該コード変換した8ビットシリアルデータ（bit0'～bit7'）に識別ビット（bit8'）をMSBとして付加した9ビットシリアルコード（bit0'～bit8'）を出力する。

#### 【0190】

この9ビットシリアルコードは、出力回路112を介して伝送路130上に出力される。なお、出力回路112は、少なくとも出力バッファとデータ送信の制

御を行う制御回路とを備えた構成である。

#### 【0191】

一方、データ受信回路120aでは、伝送路130上の9ビットシリアルコードを入力回路121を介して入力し、デコーダ122aにおいては、9ビットシリアルコードに付加されている識別ビット(bit8')が真値であるときに、コード逆変換回路9aにより、該9ビットデータの内の識別ビットを除く8ビットデータ(bit0' ~ bit7')について偶数番目(所定位置)のビット(bit0', bit2', bit4' および bit6')を反転し、コード逆変換回路9aが出力する8ビットデータをシリアル・パラレル変換回路7aにより8ビットパラレルデータに変換することにより、元の8ビットデータbit0~bit7を得る。

#### 【0192】

このように、本実施形態のデータ転送装置では、データ送信回路110aから変化点数を低減した9ビットシリアルコードを出力し、データ受信回路120aで該9ビットシリアルコードを入力して復号することができるので、シリアルデータを転送する際の高周波成分を抑制し、低EMI化を実現することができる。また、データ送信回路110aのエンコーダ111aおよびデータ受信回路120aのデコーダ122aを少ない回路物量で構成することができるので、装置コストを低減することができる。

#### 【0193】

なお、以上説明した第5実施形態から第7実施形態までのエンコーダ、デコーダおよびデータ転送装置では、識別ビットbit8'を9ビットデータ(9ビットシリアルコード) bit0' ~ bit8'のMSBに配置したが、LSBに配置するようにしてもよい。

#### 【0194】

##### 〔第8実施形態〕

図17は本発明の第8実施形態に係るエンコーダの回路構成図である。

#### 【0195】

本実施形態のエンコーダは、第4実施形態において第1実施形態のエンコーダに対して行った変形を、第5実施形態のエンコーダに対して行ったものである。

## 【0196】

図17において、本実施形態のエンコーダは、変化点数計数回路2a、コード変換回路3aおよびパラレル・シリアル変換回路5aを備えた構成である。

## 【0197】

コード変換回路3aおよびパラレル・シリアル変換回路5aについては、第5実施形態のエンコーダと同等の構成であるので、以下では、変化点数計数回路2aについて詳細に説明する。

## 【0198】

本第8実施形態のエンコーダにおいても、8ビットシリアルデータについて処理を行うので、上記第5実施形態と同様に、第1および第2の2つのタイムステージに分けて処理を行い、各タイムステージを刻むタイミング信号として転送周期クロックTCLKが与えられ、ビット単位のビット処理期間を刻むタイミング信号としてビットクロックBCLKが与えられ、また、1タイムステージにおいて9ビットデータのLSBの処理期間であることを示す信号TLSB、並びに、1タイムステージにおいて9ビットデータのMSBの処理期間であることを示す信号TMSBも与えられる。

## 【0199】

変化点数計数回路2aは、隣り合うビットを保持するフリップフロップ21a、22aと、LSB処理期間でフリップフロップ22aに前タイムステージの識別ビットbit8”を入力するための2入力ANDゲート23aおよび2入力ORゲート24aと、変化点検出用の2入力EXORゲート25aと、変化点数を計数する計数回路26aと、計数回路26aの結果が4に等しく且つ8ビットシリアルデータのMSB (bit7) が真値であるときに識別ビットbit8’を真値とするための2入力ANDゲート27a、28aおよび2入力ORゲート29aとを備えた構成である。

## 【0200】

変化点数計数回路2aでは、第5実施形態と同様に、8ビットシリアルデータbit0～bit7とダミービットがビットクロックBCLKに基づき順次フリップフロップ21a、22aに供給される。したがって、LSB処理期間を除く各ビット

処理期間では、フリップフロップ21aおよび22aには隣り合うビット（順次、bit0とbit1、bit1とbit2、bit2とbit3、bit3とbit4、bit4とbit5、bit5とbit6、bit6とbit7、bit7とbit8）が保持されることとなり、フリップフロップ21aおよび22aの出力について2入力EXORゲート25aにより排他的論理和をとることにより、8ビットシリアルデータbit0～bit7について変化点数が検出される。

#### 【0201】

一方、LSB処理期間では、フリップフロップ21aには8ビットシリアルデータのLSB（bit0）が入力され、フリップフロップ22aには2入力ANDゲート23aおよび2入力ORゲート24aを介して前タイムステージの識別ビットbit8”、即ちコード変換回路3aのフリップフロップ33aの出力が入力される。これらフリップフロップ21aおよび22aの出力について2入力EXORゲート25aにより排他的論理和をとることにより、8ビットシリアルデータのLSB（bit0）と識別ビットbit8”のビット境界における変化点発生の有無を検出できる。

#### 【0202】

計数回路26aでは、2入力EXORゲート25aの出力を各ビット処理期間についてビットクロックCLKに基づきカウントアップしていく。つまり、計数回路26aでは、検出対象を9ビットシリアルデータとして、該9ビットシリアルデータの変化点を計数し、計数結果が4（所定数）を超えたときに真値“1”となる信号 $\Sigma > 4$ を出力すると共に、該計数結果が4（所定数）に等しいときに真値“1”となる信号 $\Sigma = 4$ を出力する。例えば、カウンタの第3桁目出力を信号 $\Sigma = 4$ とし、第3桁目出力と第4桁目出力との論理和を信号 $\Sigma > 4$ とすることにより実現できる。

#### 【0203】

2入力ANDゲート27aではフリップフロップ21aとMSB処理期間信号TMSBとの論理積をとって8ビットシリアルデータのMSB（bit7）を得て、2入力ANDゲート28aでは、該8ビットシリアルデータのMSB（bit7）と計数回路26aの出力信号 $\Sigma = 4$ との論理積をとり、2入力ORゲート29aで

は、該 2 入力 AND ゲート 28 a の出力と計数回路 26 a の出力信号  $\Sigma > 4$  との論理和をとっている。

#### 【0204】

これにより、識別ビット bit8' は、検出対象の 9 ビットシリアルデータの変化点数が所定数 4 を超えたとき、或いは、検出対象の 9 ビットシリアルデータの変化点数が所定数 4 に等しく且つ 8 ビットシリアルデータの MSB (bit7) が真値であるときに真値となる。

#### 【0205】

以上のように、本第 8 実施形態のエンコーダでは、変化点数計数回路 2 a において、変化点を検出する対象データを 1 ビット拡張した 9 ビットシリアルデータ (bit8' , bit0~bit7) とし、所定数 M' を  $n/2 = 4.0$  以下で最大の整数値 4 とし、検出対象の 9 ビットシリアルデータの変化点数が所定数 4 を超えたとき、或いは、検出対象の 9 ビットシリアルデータの変化点数が所定数 4 に等しく且つ 8 ビットシリアルデータの MSB (bit7) が真値であるときに識別ビット bit8' を真値にする。また、コード変換手段回路 3 a においては、8 ビットシリアルデータ bit0~bit7 の偶数番目ビットを反転する。

#### 【0206】

これにより、上記第 4 実施形態と同様に、コード変換手段回路 3 a の出力である 8 ビットシリアルデータ bit0' ~bit7' の変化点数を高々 M' = 4 個におさえ、また、9 ビットシリアルコード (bit0' ~bit8' ) の変化点数を高々 M' = 4 個におさえ、さらに、シリアルデータ転送における 1 転送単位 (9 ビットシリアルコード) 当たりの変化点数も高々 M' = 4 個におさえることができる。結果として、転送データの境界に発生し得る変化点をも変化点数削減の対象として、転送データの全体にわたって低 EMI 化を確実に実現することができると共に、転送データに付加される付加情報 (識別ビット) を含めたデータについて変化点数を削減して、低 EMI 化を確実に実現することができる。

#### 【0207】

具体的構成については、本第 8 実施形態のエンコーダでは、上記第 4 実施形態とは異なり 8 ビットシリアルデータについて処理を行うので、変化点数計数回



路 2 a およびコード変換回路 3 a による処理を時間的に分けた 2 つの段階で行う  
必要があり、また、段階内でもビット単位のタイミング制御が必要となるので、  
第 4 実施形態のエンコーダと比べて多少回路物量が増大する。しかし、ルックア  
ップテーブルを用いた第 1 従来例に比べるとはるかに少ない回路物量で低 EMI  
化 9 ビットシリアルコードを出力するエンコーダを構成することができ、回路コ  
スト、ひいては適用される製品コストを低減することができる。

#### 【0208】

以上説明した第 5 実施形態および第 8 実施形態のエンコーダでは、コード変換  
回路 3 a において、8 ビットデータ bit0～bit7 の偶数番目のビット bit0, bit2  
, bit4 および bit6 を反転させることとしたが、奇数番目のビット bit1, bit3,  
bit5 および bit7 を反転させるようにしてもよい。

#### 【0209】

また、第 2 実施形態のデコーダでは、コード逆変換回路 9 a において、識別ビ  
ット bit8' が真値であるときに、9 ビットシリアルコードの内の識別ビット bit8  
' を除く 8 ビットデータ bit0' ～bit7' について偶数番目のビット bit0', bit  
2', bit4' および bit6' を反転させることとしたが、奇数番目のビット bit1'  
, bit3', bit5' および bit7' を反転させるようにしてもよい。

#### 【0210】

なお、第 7 実施形態のデータ転送装置のように、これらエンコーダおよびデコ  
ーダを組み合わせて使用する場合には、ビット反転させる位置を一致させておく  
必要がある。

#### 【0211】

第 3 実施形態のデータ転送装置においては、データ送信回路 110 では第 1 実  
施形態のエンコーダ 111 または第 4 実施形態のエンコーダを使用し、データ受  
信回路 120 では第 2 実施形態のデコーダ 122 を使用する構成とし、また、第  
7 実施形態のデータ転送装置においては、データ送信回路 110 a では第 5 実施  
形態のエンコーダ 111 a または第 8 実施形態のエンコーダを使用し、データ受  
信回路 120 a では第 6 実施形態のデコーダ 122 a を使用する構成としたが、  
データ送信回路側に第 1、第 4、第 5 または第 8 実施形態の何れのエンコーダを

使用してもよく、また、データ受信回路側に第2または第6実施形態の何れのデコーダを使用してもよい。つまり、データ転送装置におけるエンコーダおよびデコーダの組み合わせは任意である。

#### 【0212】

##### 〔第9実施形態〕

図18は本発明の第9実施形態に係るデータ転送装置の構成図である。

#### 【0213】

図18において、本実施形態のデータ転送装置は、データ送信回路150、データ受信回路160および伝送線路170を備えた構成であり、データ送信回路150にコード生成部151および出力回路152を備え、データ送信回路160に入力回路161およびコード復号部162を備えた構成である。

#### 【0214】

データ送信回路150のコード生成部151は、変化点数計数回路1aおよびコード変換回路3aを備えた構成であり、第5実施形態のエンコーダ（図14参照）におけるものと同一である。つまり、第5実施形態のエンコーダにおいてパラレル・シリアル変換回路5aを取り除いた構成であり、8ビットパラレルデータではなく8ビットシリアルデータを入力する点が異なるだけであるので、回路構成および動作について詳しい説明は省略する。

#### 【0215】

データ送信回路160のコード復号部162は、コード逆変換回路9aを備えた構成であり、第6実施形態のデコーダ（図14参照）におけるものと同一である。つまり、第6実施形態のデコーダにおいてシリアル・パラレル変換回路7aを取り除いた構成であり、8ビットパラレルデータではなく8ビットシリアルデータを出力する点が異なるだけであるので、回路構成および動作について詳しい説明は省略する。

#### 【0216】

データ送信回路150では、コード生成部151において、8ビットシリアルデータについて、変化点数計数回路1aにより隣り合うビット間で値が変化する変化点数を計数し、該計数結果が3（所定数）を超えたときに真値となる識別ビ

ット (bit8') を出力し、また、コード変換回路 3 a においては、識別ビットが真値であるときに、8 ビットシリアルデータ (bit0~bit7) の偶数番目 (所定位置) のビット (bit0, bit2, bit4 および bit6) を反転し、該コード変換した 8 ビットシリアルデータ (bit0' ~bit7') に識別ビット (bit8') を MSB として付加した 9 ビットシリアルコード (bit0' ~bit8') を出力する。

#### 【0217】

この 9 ビットシリアルコードは、出力回路 152 を介して伝送路 170 上に出力される。なお、出力回路 112 は、少なくとも出力バッファとデータ送信の制御を行う制御回路とを備えた構成である。

#### 【0218】

一方、データ受信回路 160 では、伝送路 170 上の 9 ビットシリアルコードを入力回路 161 を介して入力し、コード復号部 162 においては、9 ビットシリアルコードに付加されている識別ビット (bit8') が真値であるときに、コード逆変換回路 9 a により、該 9 ビットデータの内の識別ビットを除く 8 ビットデータ (bit0' ~bit7') について偶数番目 (所定位置) のビット (bit0', bit2', bit4' および bit6') を反転して、元の 8 ビットシリアルデータ (bit0~bit7) を得る。

#### 【0219】

このように、本第 9 実施形態のデータ転送装置では、データ送信回路 150 から変化点数を低減した 9 ビットシリアルコードを出力し、データ受信回路 160 で該 9 ビットシリアルコードを入力して復号することができるので、シリアルデータを転送する際の高周波成分を抑制し、低 EMI 化を実現することができる。また、データ送信回路 150 のコード生成部 151 およびデータ受信回路 160 のコード復号部 162 を少ない回路物量で構成することができるので、装置コストを低減することができる。

#### 【0220】

なお、本第 9 実施形態では、データ送信回路 150 におけるコード生成部 151 の構成として、第 5 実施形態のエンコーダ (図 14 参照) における変化点数計数回路 1 a およびコード変換回路 3 a を用いたが、第 7 実施形態のエンコーダ (

図 17 参照) における変化点数計数回路 2 a およびコード変換回路 3 a を用いた構成としても良い。この場合、転送データの境界に発生し得る変化点をも変化点数削減の対象として、転送データの全体にわたって低 EMI 化を確実に実現することができると共に、転送データに付加される付加情報(識別ビット)を含めたデータについて変化点数を削減して、低 EMI 化を確実に実現することができる。

#### 【0221】

(変形例)

上記第 1～第 9 の実施形態は、本発明を具体化した例を示すものである。したがって、本発明はこれらの実施形態に限定されるものではなく、本発明の趣旨を外れることなく種々の変形が可能であることは言うまでもない。

#### 【0222】

【発明の効果】

以上説明したように、本発明のエンコーダ、デコーダおよびデータ転送装置によれば、シリアルデータの変化点数をより少なくして転送データの高周波成分を抑制し、低 EMI 化を図ることができる。また、より簡単な処理でシリアルデータの変化点数を少なくすることにより、回路物量を抑え、低コストで低 EMI 化を実現できる。また、転送データに付加される付加情報を含めたデータについて変化点数を削減して、低 EMI 化を確実に実現できる。さらに、転送データの境界に発生し得る変化点をも変化点数削減の対象として、低 EMI 化を確実に実現できる。

【図面の簡単な説明】

#### 【図 1】

本発明の第 1 実施形態に係るエンコーダの回路構成図である。

#### 【図 2】

本発明の第 1 実施形態のエンコーダによって生成される 9 ビットシリアルコードの具体例を例示する説明図である。

#### 【図 3】

「制御可能な変化点」および「制御不可能な変化点」の説明図であり、図 3 (

a) は識別ビットをデータのMSBに配置したときのシリアルコードを示し、図3 (b) は識別ビットをデータのLSBまたはMSB以外の位置に配置したときのシリアルコードを示す。

【図4】

何も施さない通常の8ビットデータについて変化点数の発生頻度および頻度累積を示す説明図である。

【図5】

何も施さない通常の9ビットデータについて変化点数の発生頻度および頻度累積を示す説明図である。

【図6】

本発明の第1実施形態により生成される9ビットシリアルコードについて変化点数の発生頻度および頻度累積を示す説明図である。

【図7】

本発明の第1実施形態により生成される9ビットシリアルコードをデータ転送する際のデータ境界まで含めたものについて変化点数の発生頻度および頻度累積を示す説明図である。

【図8】

本発明の第2実施形態に係るデコーダの回路構成図である。

【図9】

本発明の第3実施形態に係るデータ転送装置の構成図である。

【図10】

本発明の第4実施形態に係るエンコーダの回路構成図である。

【図11】

本発明の第4実施形態のエンコーダによって生成される9ビットシリアルコードの具体例を例示する説明図である。

【図12】

本発明の第4実施形態により生成される9ビットシリアルコードをデータ転送する際のデータ境界まで含めたものについて変化点数の発生頻度および頻度累積を示す説明図である。

**【図13】**

何も施さない通常の10ビットデータについて変化点数の発生頻度および頻度累積を示す説明図である。

**【図14】**

本発明の第5実施形態に係るエンコーダの回路構成図である。

**【図15】**

本発明の第6実施形態に係るデコーダの回路構成図である。

**【図16】**

本発明の第7実施形態に係るデータ転送装置の構成図である。

**【図17】**

本発明の第8実施形態に係るエンコーダの回路構成図である。

**【図18】**

本発明の第9実施形態に係るデータ転送装置の構成図である。

**【図19】**

第1従来例のデータ転送装置の構成図である。

**【符号の説明】**

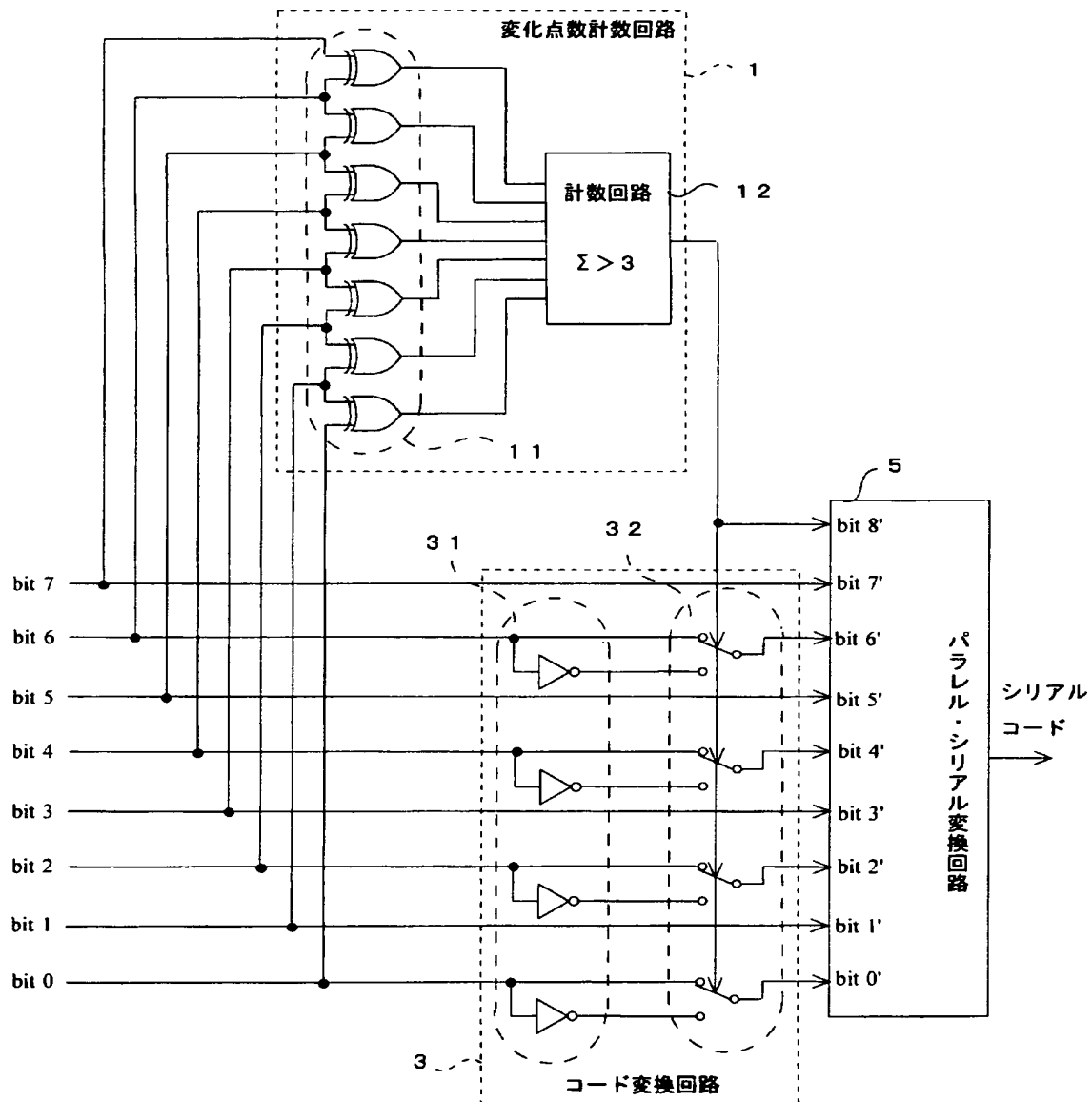
- 1, 1a, 2, 2a    変化点数計数回路
- 3, 3a    コード変換回路
- 5, 5a    パラレル・シリアル変換回路
- 7, 7a    シリアル・パラレル変換回路
- 9, 9a    コード逆変換回路
- 11, 21    変化点検出回路
- 12, 22, 16a, 26a    計数回路
- 15a, 23, 23a, 27a, 28a, 35a    2入力ANDゲート
- 39a, 40a, 92a, 93a, 98a    2入力ANDゲート
- 24, 29a, 24a, 41a    2入力ORゲート
- 25    デイレイ回路
- 31, 91    インバータ
- 32, 92    スイッチ

11a, 12a, 21a, 22a      フリップフロップ  
32a, 33a, 95a, 96a      フリップフロップ  
13a, 25a      2入力EXORゲート  
14a, 36a, 91a, 99a      NOTゲート  
31a, 94a      シフトレジスタ  
34a, 97a      カウンタ  
37a, 100a      2入力切換スイッチ  
110, 110a, 150      データ送信回路  
111, 111a      エンコーダ  
112, 152      出力回路  
120, 120a, 160      データ受信回路  
121, 161      入力回路  
122, 122a      デコーダ  
130, 170      伝送線路  
151      コード生成部  
162      コード復号部  
TCLK      転送周期クロック  
BCLK      ビットクロック  
TMSB, TMSB'      MSB処理期間信号  
TLSB      LSB処理期間信号

【書類名】 図面

【図 1】

(図 1)

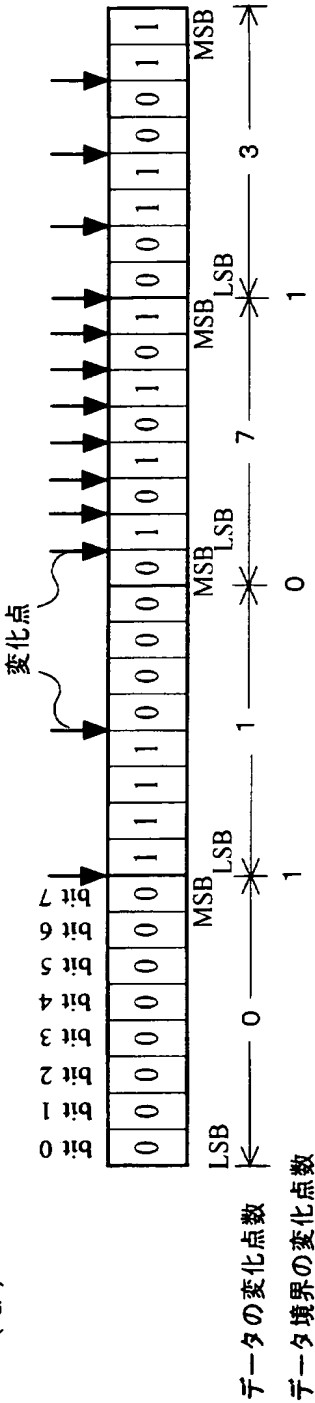




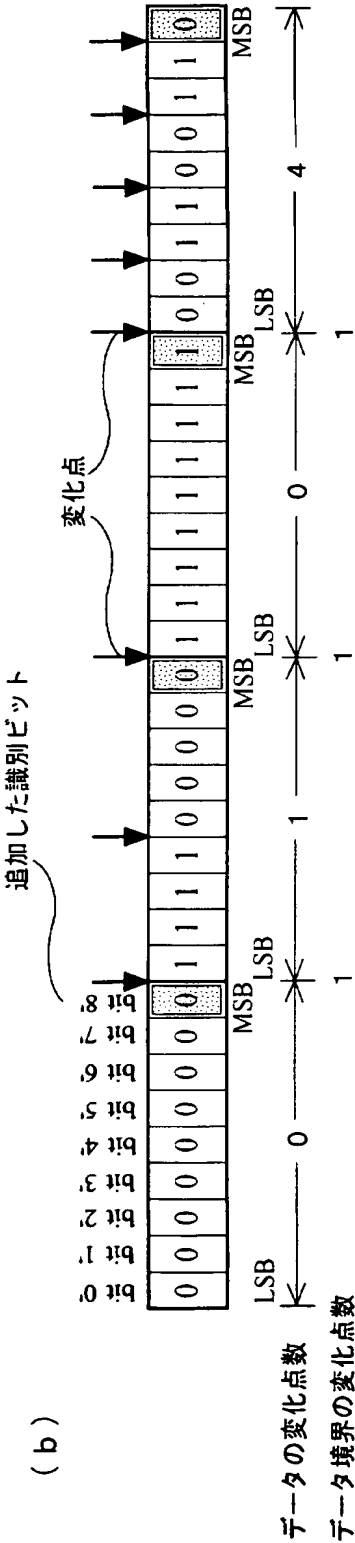
【図 2】

( 図 2 )

( a )



( b )



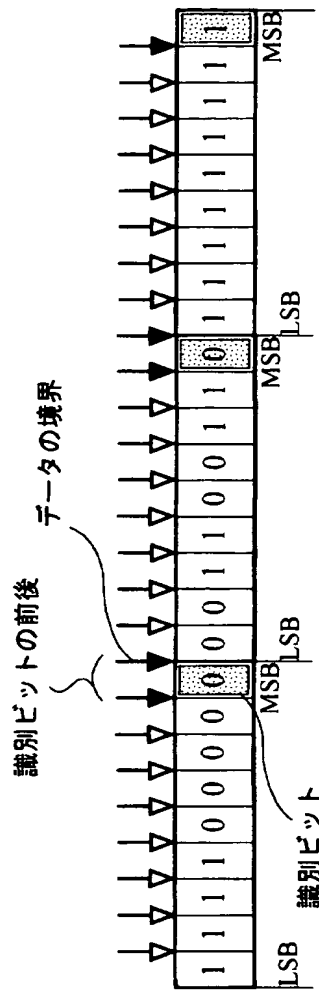
【図 3】

(3)

(a) 識別ビットをMSBに配置

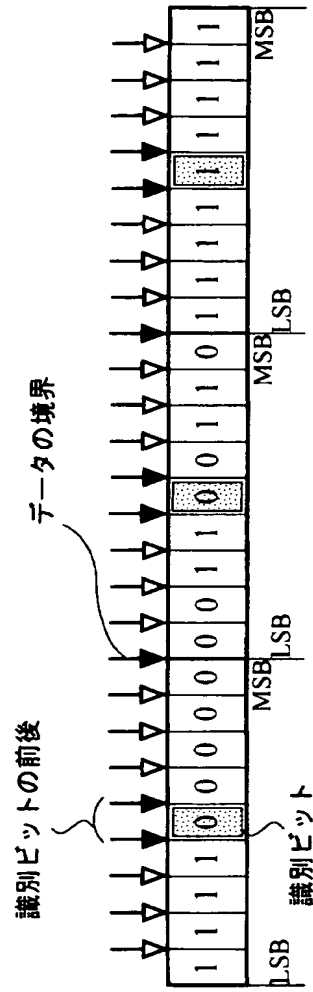
↓ : 制御不可能な変化点 (変化点になる確率50%)

△：制御可能な変化点（変化点になる確率50%未満）



＜制御不可能な変化点は識別ビットの前後とデータの境界に存在する＞

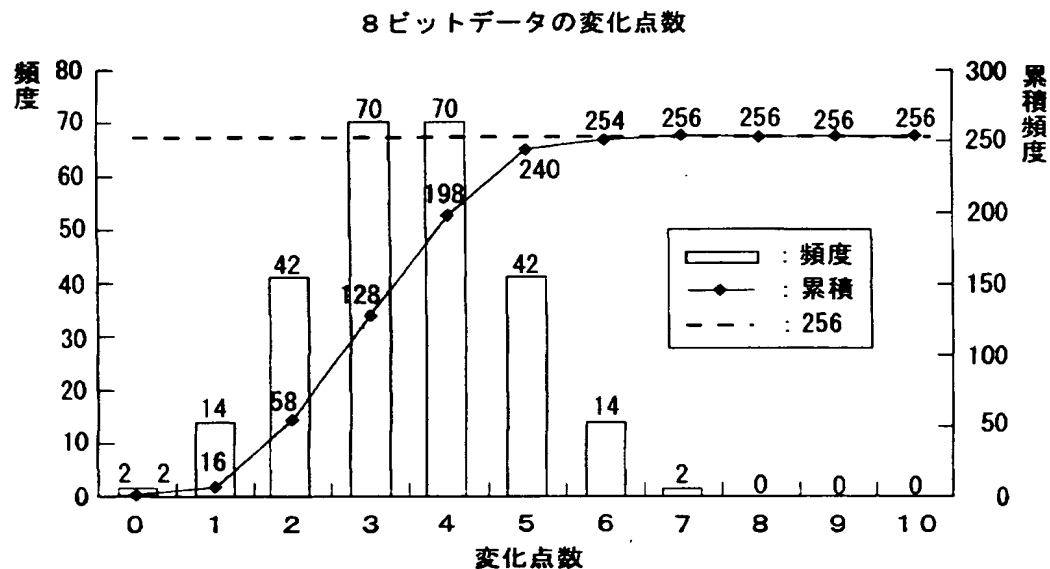
(b) 識別ビットをLSBまたはMSB以外に配置



＜制御不可能な変化点が増加する＞

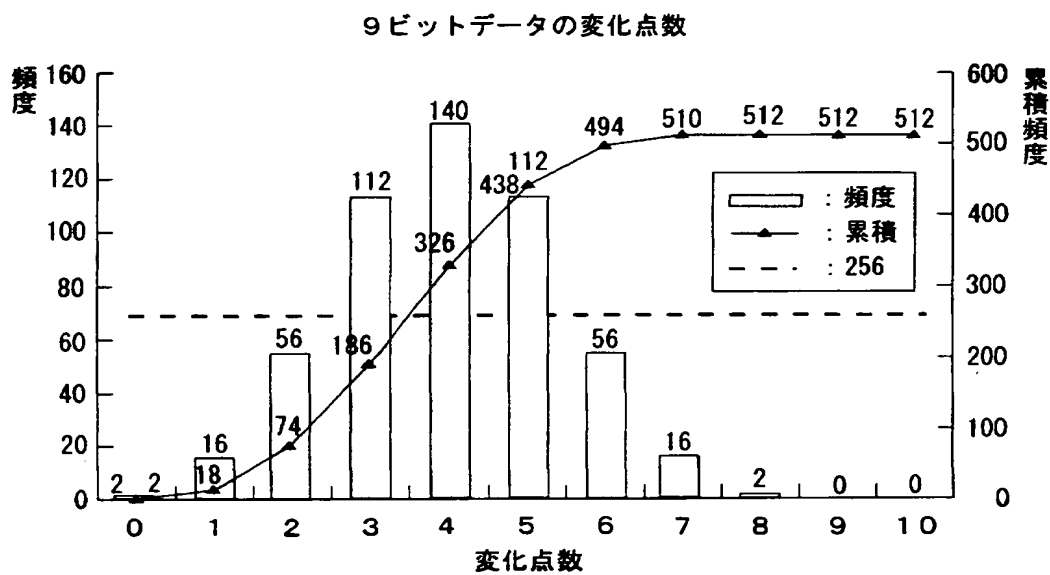
【図 4】

(図 4)



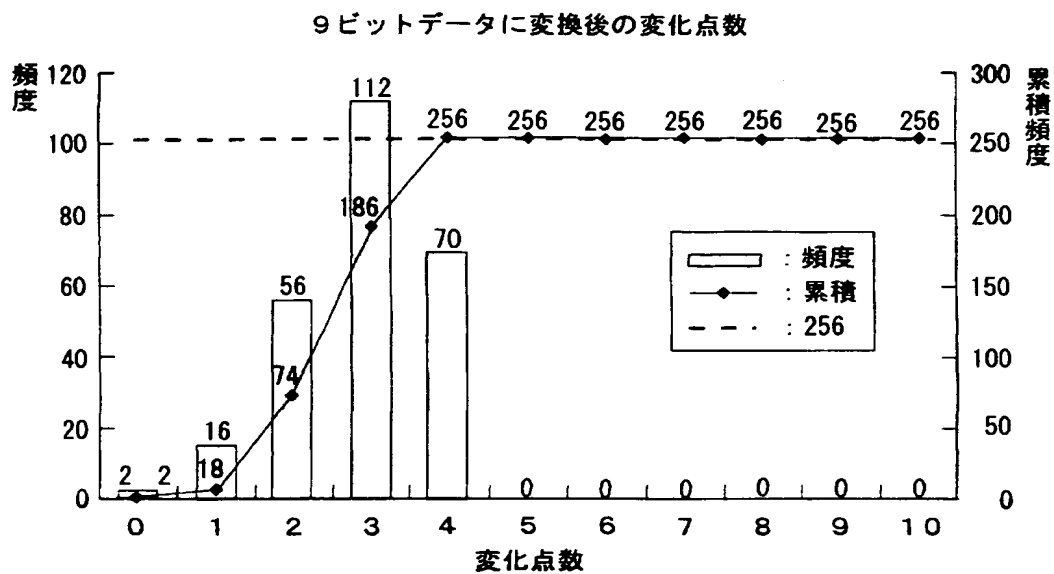
【図 5】

(図 5)



【図 6】

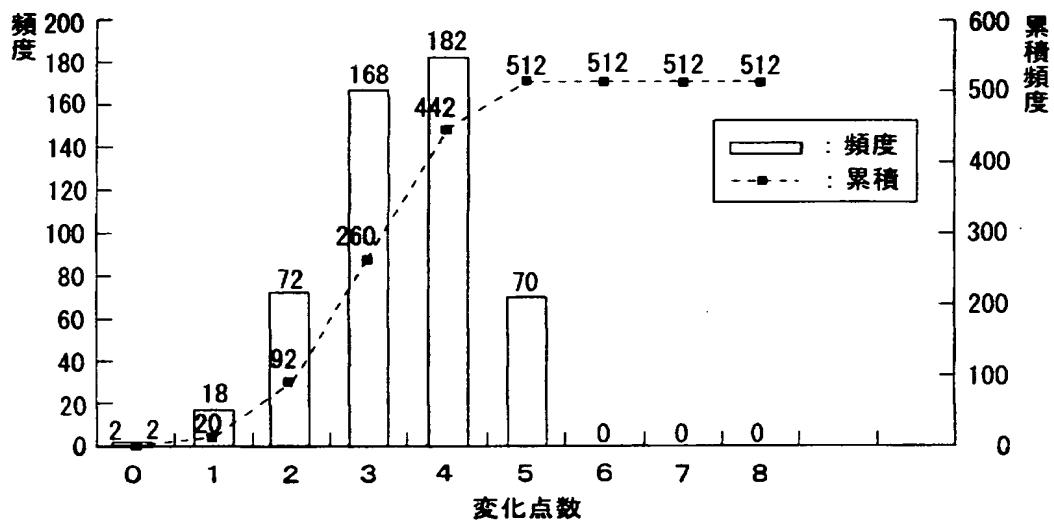
(図 6)



【図 7】

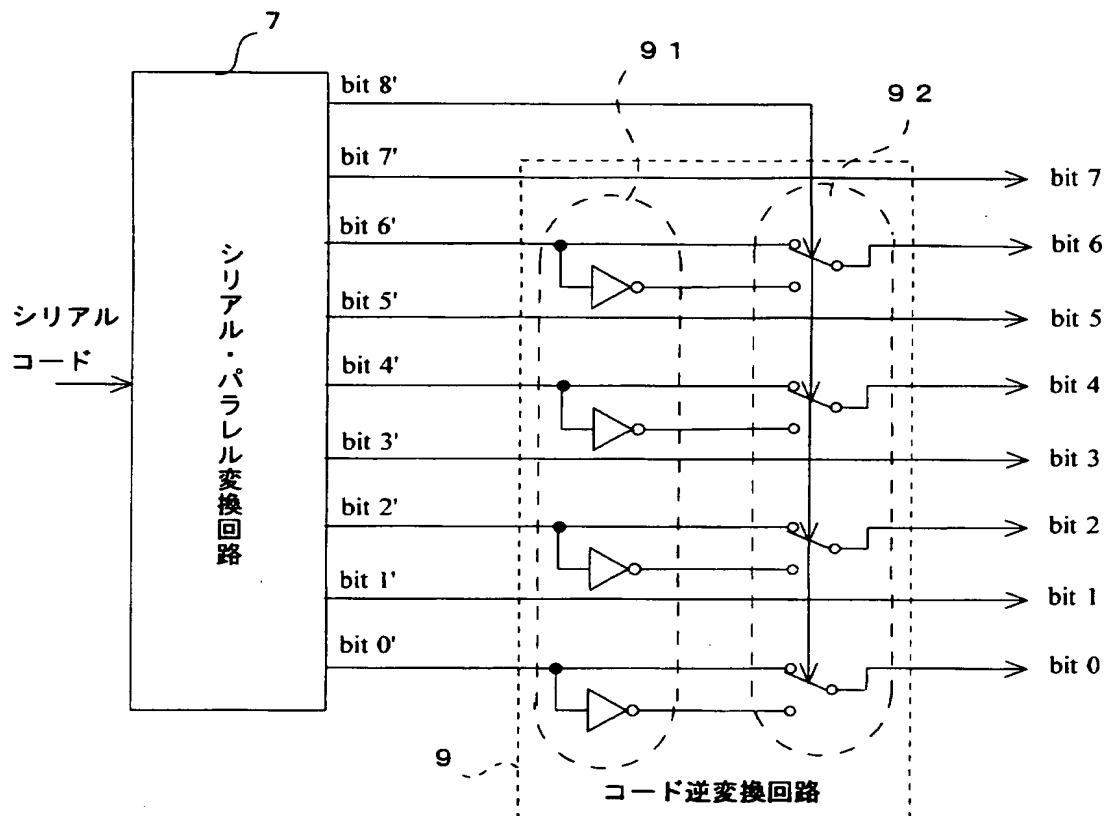
(図 7)

第 1 実施形態においてデータの境界まで含めた変化点数



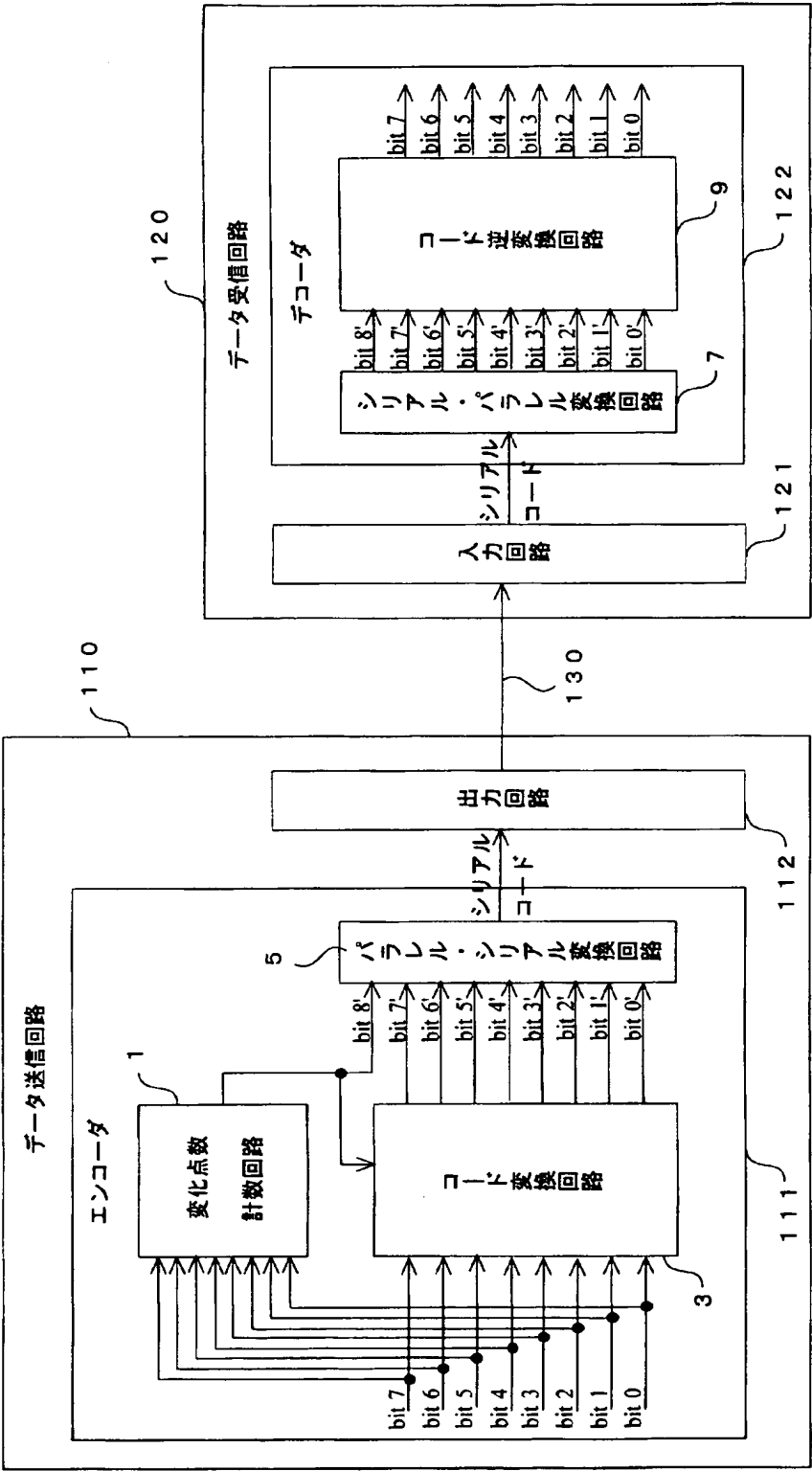
【図 8】

(図 8)



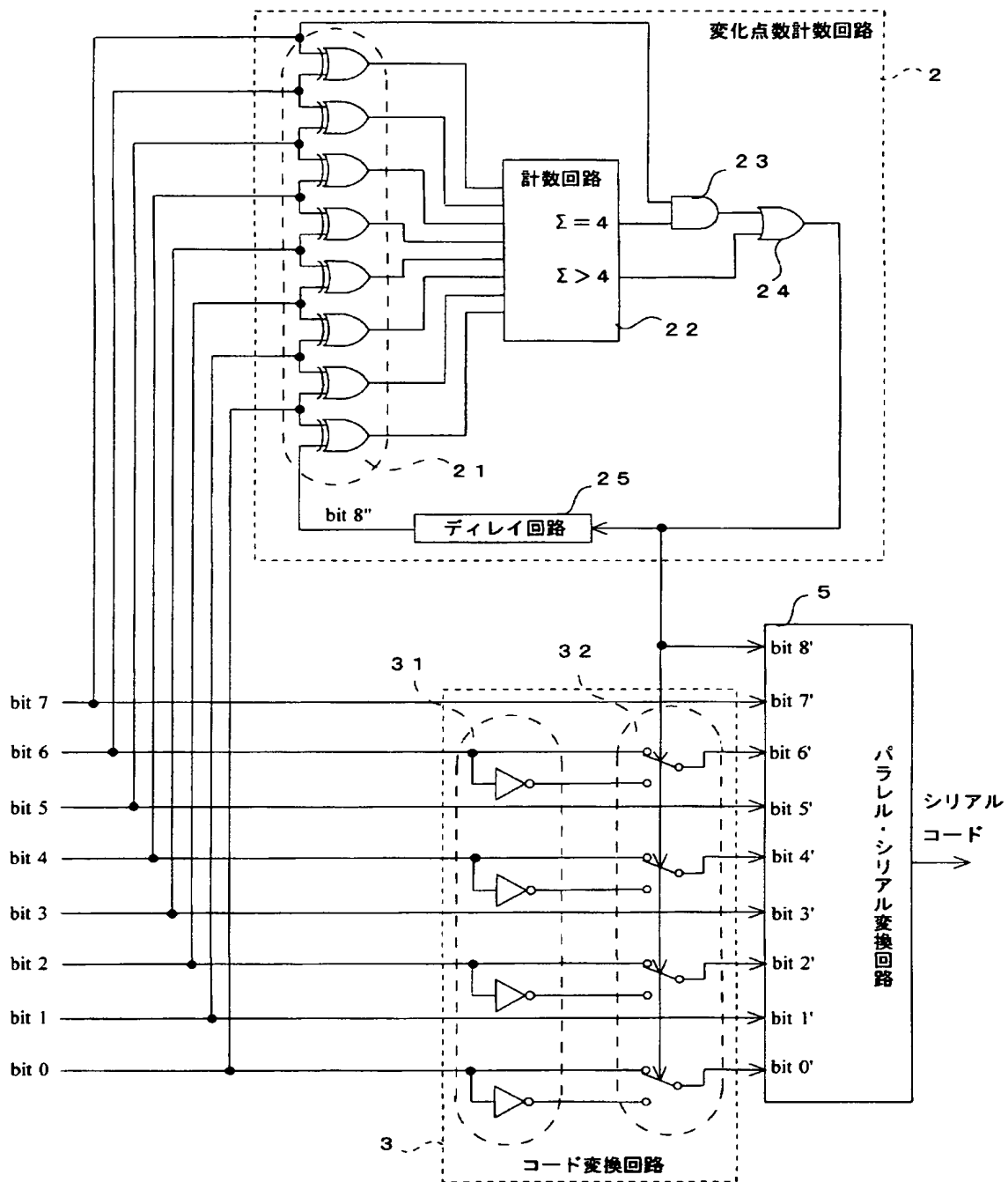
【図 9】

(図 9)



【図 10】

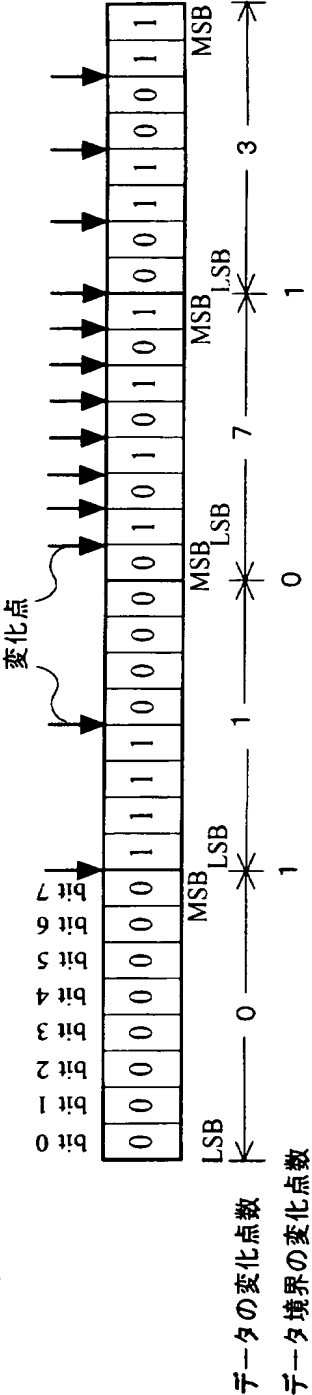
(図10)



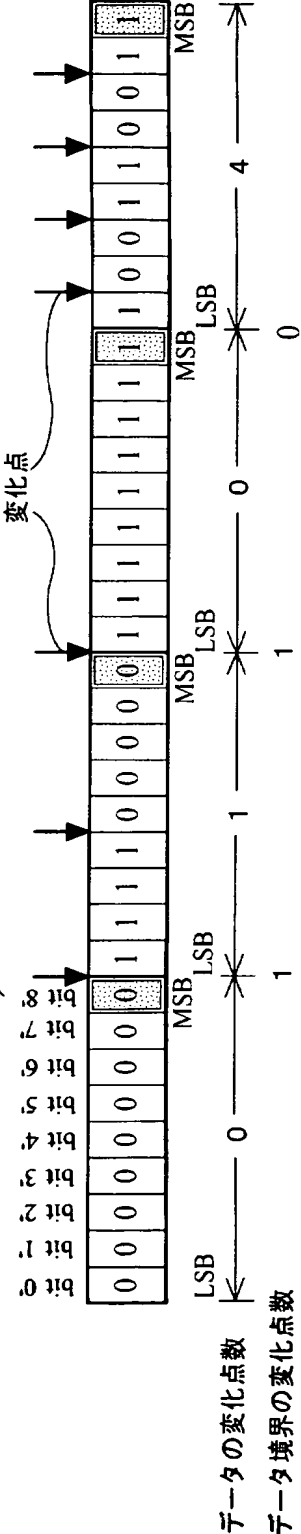
【図 11】

(図 11)

(a)



(b)

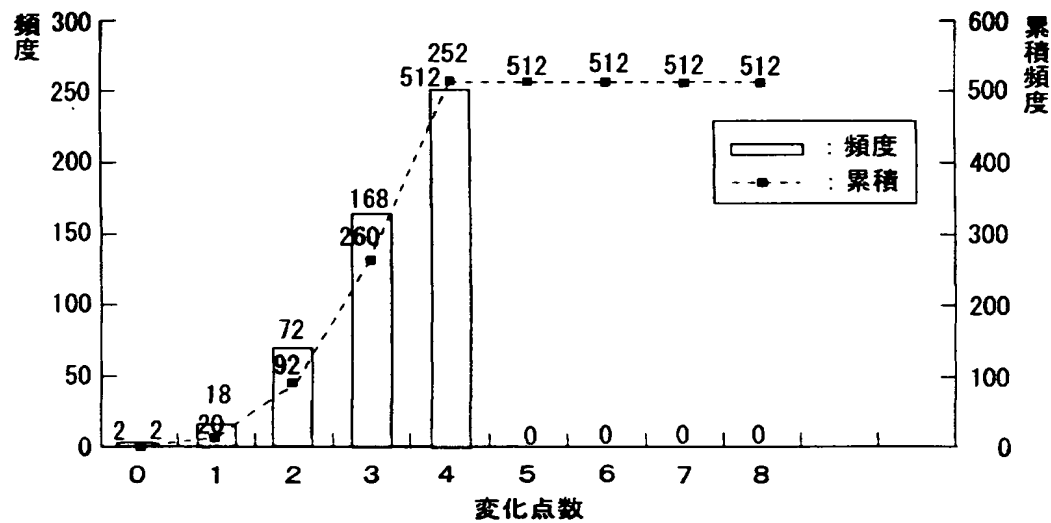




【図 12】

(図12)

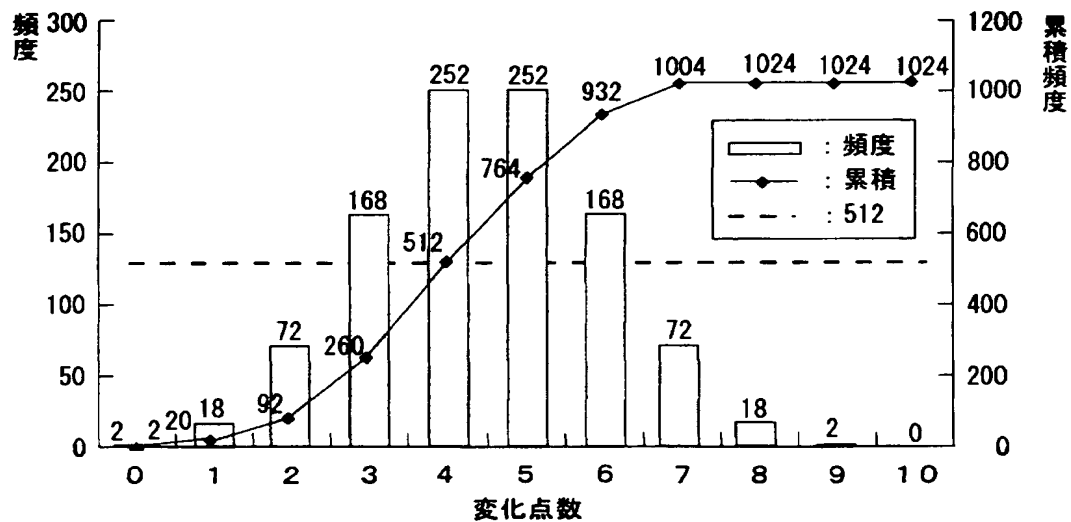
第4実施形態においてデータの境界まで含めた変化点数



【図 13】

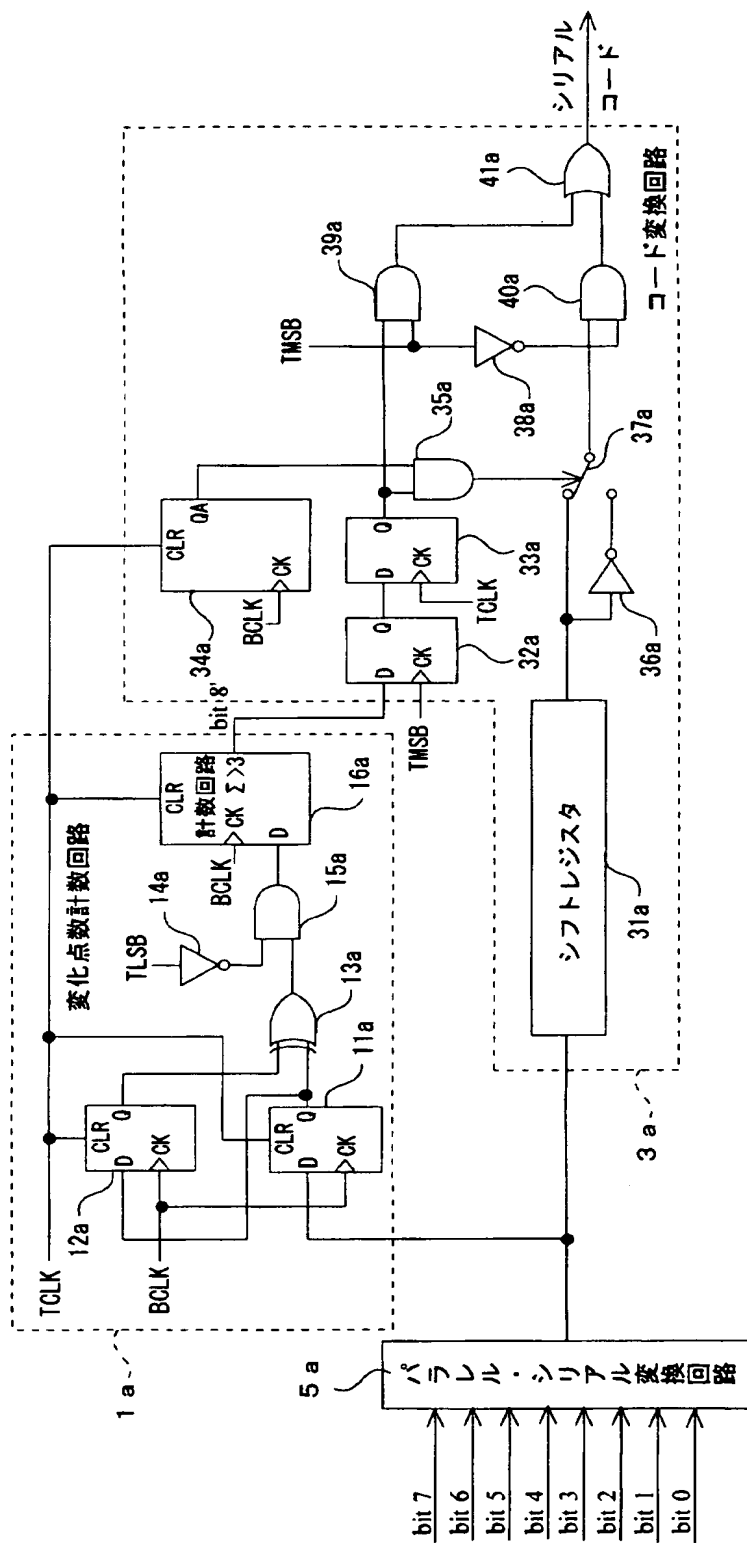
(図13)

10ビットデータの変化点数



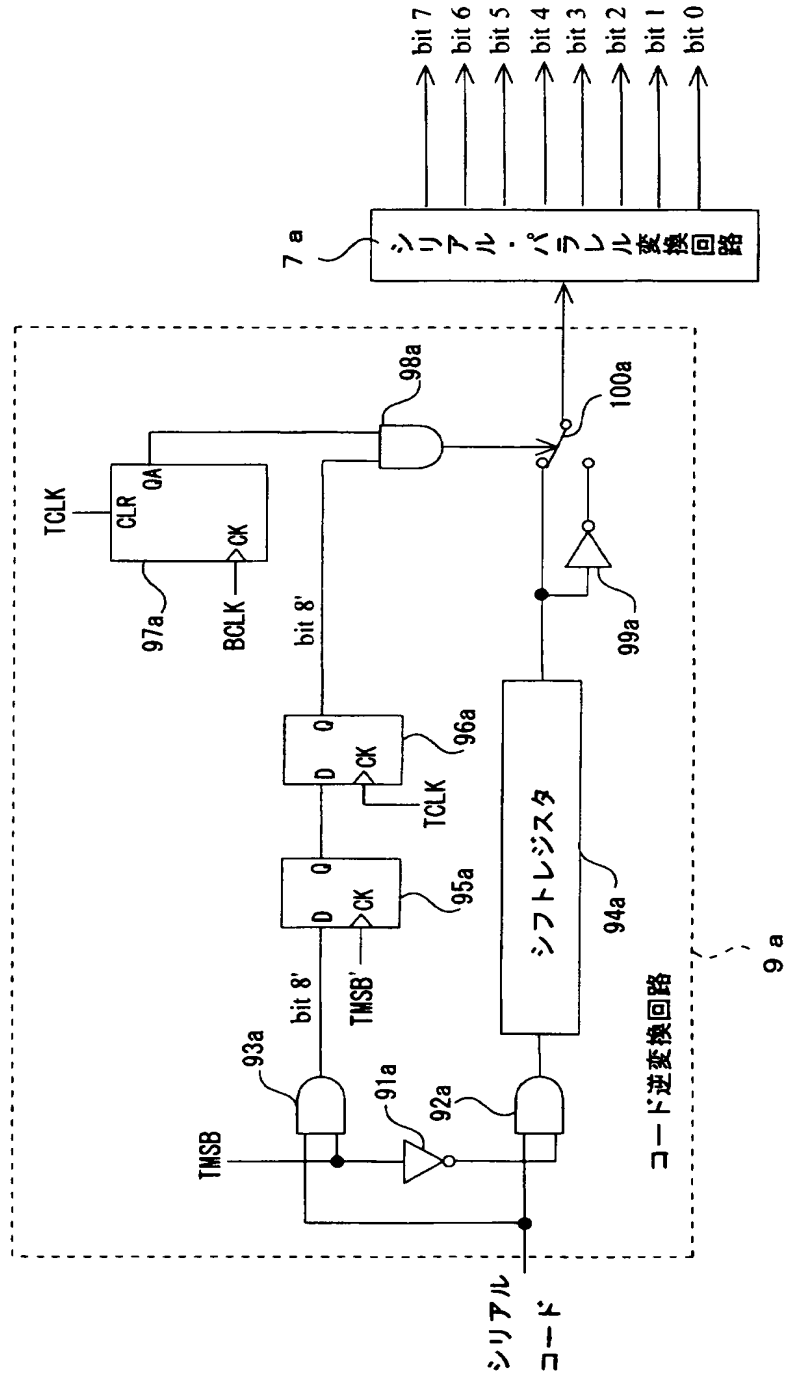
【図14】

(図14)

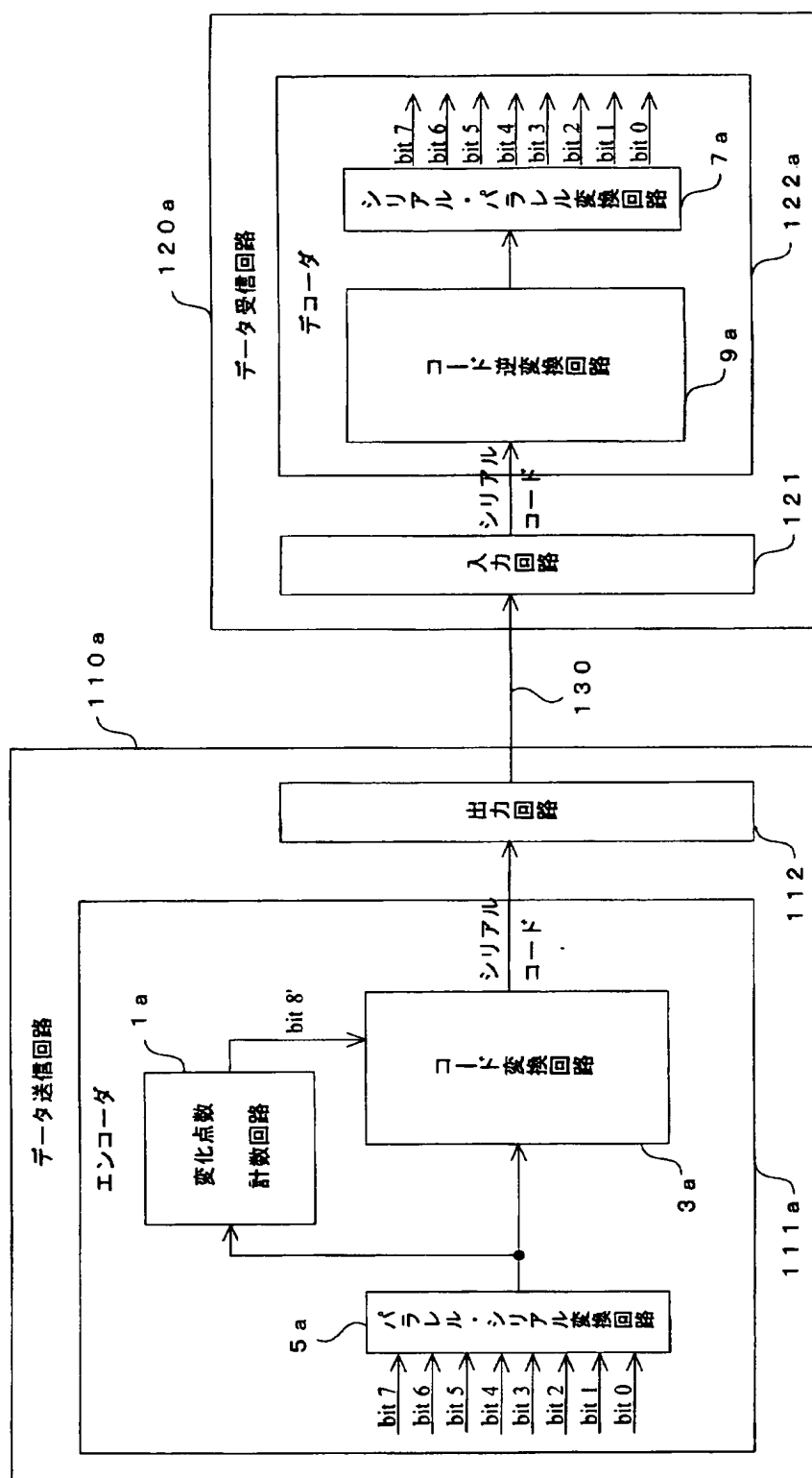


【図15】

(図15)



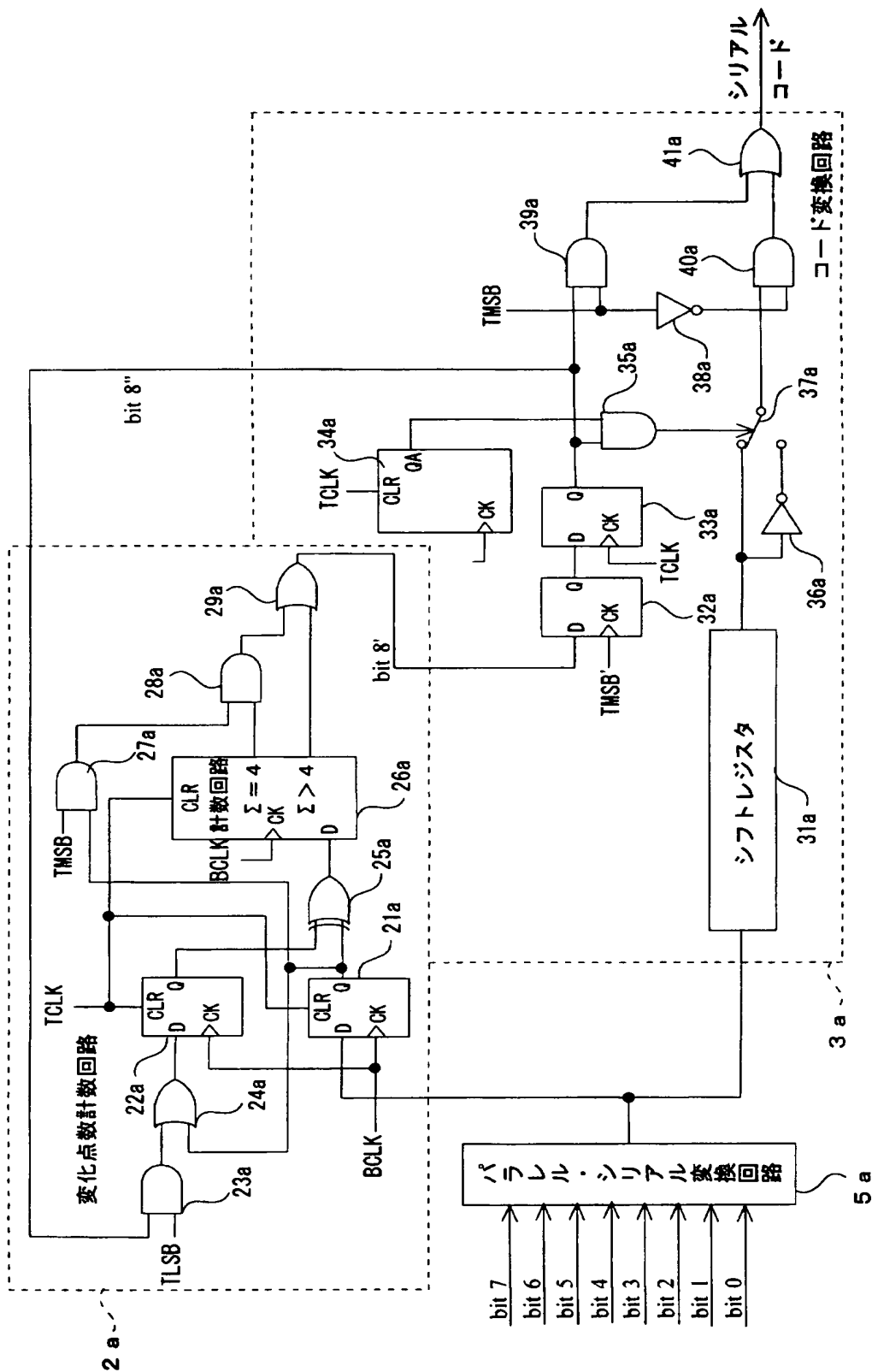
【図16】



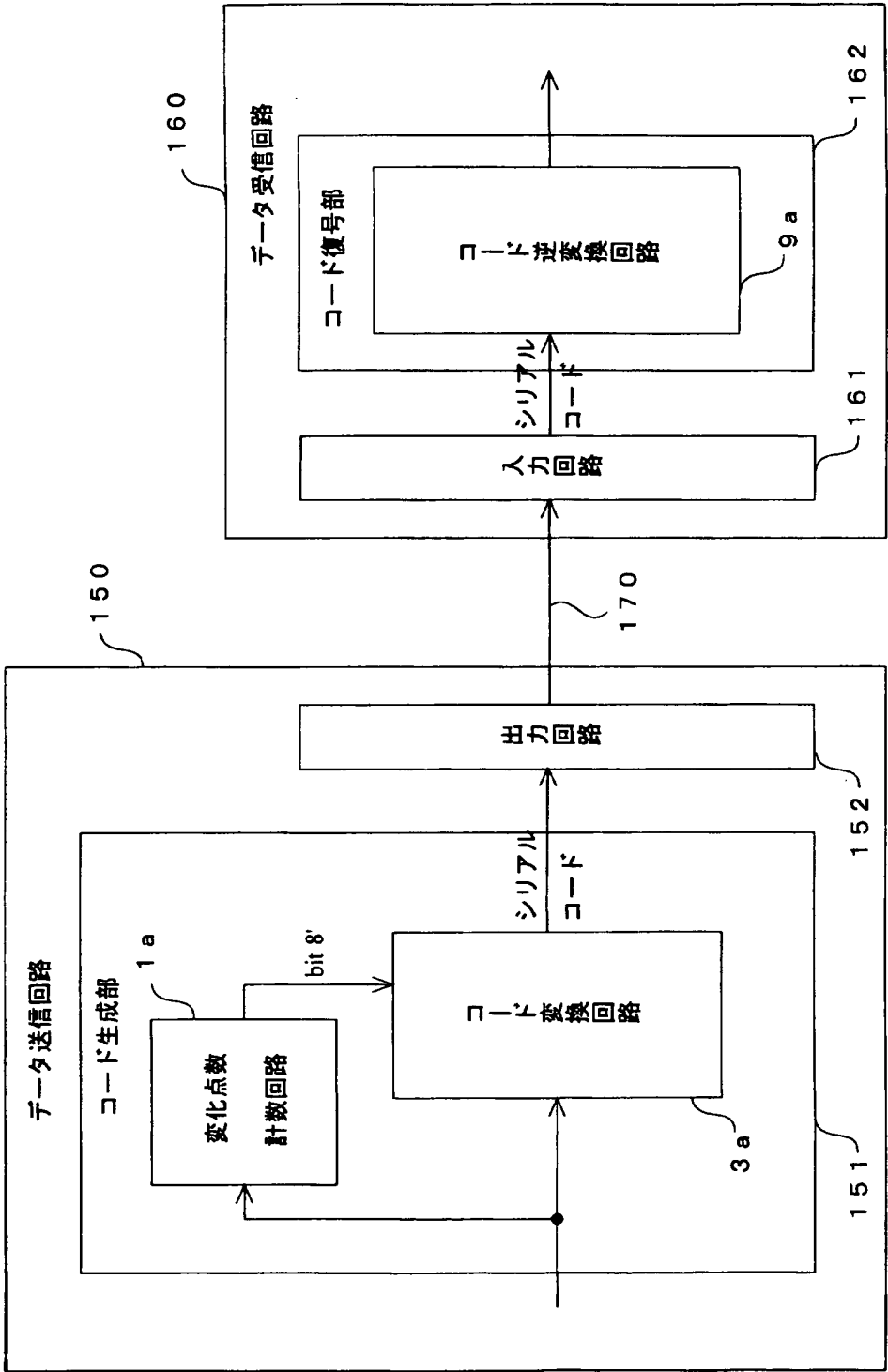
(図16)

【図 17】

(図17)



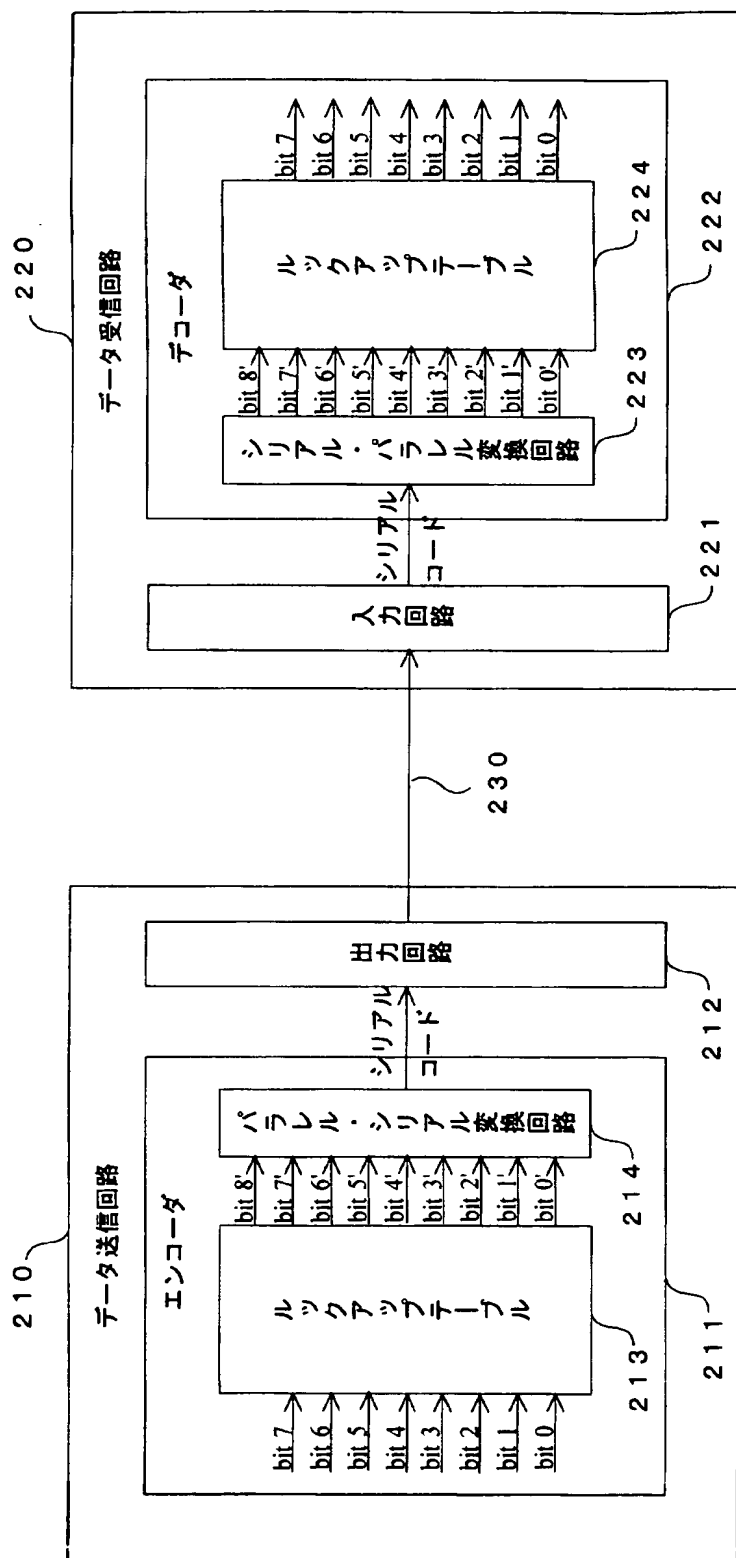
【図 18】



(図18)

【図 19】

(図19)



【書類名】 要約書

【要約】

【課題】 シリアルデータの変化点数をより少なくして転送データの高周波成分を抑制し、低 E M I 化を図ったエンコーダ、デコーダおよびデータ転送装置を提供することを目的とする。

【解決手段】 変化点数計数回路 1 により、8 ビットデータ bit0～bit7 について、隣り合うビット間で値が変化することによる変化点数を計数し、該計数結果が 3（所定数）を超えたときに真値となる識別ビット bit8' を出力し、またコード変換回路 3 においては、識別ビット bit8' が真値であるときに、8 ビットデータ bit0～bit7 の偶数番目（所定位置）のビット bit0, bit2, bit4 および bit6 を反転し、該コード変換回路 3 によりコード変換した 8 ビットデータ bit0' ～bit7' に識別ビット bit8' を M S B として付加した 9 ビットデータ bit0' ～bit8' を、パラレル・シリアル変換回路 5 によって 9 ビットシリアルコードに変換して出力する。

【選択図】 図 1



## 認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 3 6 6 8 5
受付番号	5 0 2 0 1 7 5 3 2 4 6
書類名	特許願
担当官	第八担当上席 0 0 9 7
作成日	平成 1 4 年 1 1 月 2 1 日

## &lt; 認定情報・付加情報 &gt;

【提出日】	平成14年11月20日
-------	-------------

次頁無

【書類名】 出願人名義変更届

【あて先】 特許庁長官殿

【事件の表示】

【出願番号】 特願2002-336685

【承継人】

【識別番号】 302062931

【氏名又は名称】 N E C エレクトロニクス株式会社

【代表者】 戸坂 馨

【承継人代理人】

【識別番号】 100095706

【弁理士】

【氏名又は名称】 泉 克文

【電話番号】 03-5273-7155

【手数料の表示】

【予納台帳番号】 002255

【納付金額】 4,200円

【提出物件の目録】

【物件名】 包括委任状 1

【援用の表示】 平成 1 4 年 1 1 月 2 7 日提出の包括委任状

【プルーフの要否】 要

## 認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 3 6 6 8 5
受付番号	5 0 2 0 1 8 2 7 1 3 1
書類名	出願人名義変更届
担当官	井筒 セイ子 1 3 5 4
作成日	平成 1 5 年 1 月 2 3 日

## &lt; 認定情報・付加情報 &gt;

【提出日】 平成14年12月 3日

## 【承継人】

【識別番号】 302062931

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地

【氏名又は名称】 N E C エレクトロニクス株式会社

【承継人代理人】 申請人

【識別番号】 100095706

【住所又は居所】 東京都新宿区高田馬場 2 - 1 4 - 2 原田ビルディング 9 0 2 号 有近・泉 特許事務所

【氏名又は名称】 泉 克文

次頁無

特願 2 0 0 2 - 3 3 6 6 8 5

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 4 2 3 7 ]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

東京都港区芝五丁目 7 番 1 号

氏 名

日本電気株式会社

特願 2 0 0 2 - 3 3 6 6 8 5

出 願 人 履 歴 情 報

識別番号

[ 3 0 2 0 6 2 9 3 1 ]

1. 変更年月日

2 0 0 2 年 1 1 月 1 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名

N E C エレクトロニクス株式会社